

論文内容の要旨

論文題目 面積効率を指向するプロセッサの研究

氏名 塩谷 亮太

近年では、単一のチップ上に複数のプロセッサ・コアを集積するマルチコア・プロセッサが実用化され、広く普及している。マルチコア・プロセッサでは、チップ上に集積するコアの数によってその最大性能が決定される。そのため、コアとして用いられるスーパスカラ・プロセッサの面積効率がより重要となる。

スーパスカラ・プロセッサの面積効率とは、回路面積あたりの実行スループットであると定義することができる。かつて、シングルコア・プロセッサが中心であった時代は、面積効率の向上は、チップ・コストの削減に直結すると言う点において、重要な課題の一つであった。これに対し、今日のマルチコア・プロセッサでは、面積効率の向上は、チップ上へ搭載することができるコアの総数を増やすことに繋がる。このため、より高い性能を狙えると言う点においてシングルコア・プロセッサの時代とは異なった意味においてコアの面積効率が重要な課題となっている。

コアとして用いられるスーパスカラ・プロセッサを構成する回路は、演算器とその制御部において考えることができる。これらのうち、演算器では一般にウェイ数に比例した回路面積が必要とされる。これに対し、標準的なスーパスカラ・プロセッサの設計の場合、制御部にはウェイ数の3乗に比例した面積の回路が通常必要となる。これは、スーパスカラ・プロセッサの制御部が主に多ポートのRAMによって構成されるためである。一般にRAMの回路面積はポート数の2乗とエントリ数のそれぞれに比例して大きくなる。多くの場合、スーパスカラ・プロセッサの制御部ではウェイ数に比例したポート数とエントリ数を持ったRAMが必要となるため、結果としてウェイ数の3乗に比例した大きさの回路となるのである。

筆者は、このスーパスカラ・プロセッサの制御部のうち、リネーミング・ロジックとレジスタ・ファイルに関して、その面積効率を向上させる研究を行った。

一般に、スーパスカラ・プロセッサでは、命令間に存在する逆依存や出力依存などの偽のデータ依存の解決を行うため、レジスタのリネーミングが行われる。このリネーミングを行うためのリネーミング・ロジックは、通常レジスタ・マッピング・テーブルと呼ぶ表

によって構成される。3オペランド形式を持つ命令セット・アーキテクチャでは、通常、1命令あたり4本ものポートがRMTに必要となる。レジスタ・マッピング・テーブルを構成するRAMの回路面積はポート数の2乗に比例して大きくなるため、結果としてレジスタ・マッピング・テーブルはその容量に比べて非常に大きな回路となる。

これに対し、筆者は依存関係をキャッシュすることによって、リネーミングに必要なレジスタ・マッピング・テーブルを省略するリネームド・トレース・キャッシュの研究を行った。リネームド・トレース・キャッシュでは、ミス時にのみ命令のリネーミングが行われるため、そのために必要となるレジスタ・マッピング・テーブルのポート数を大幅に削減することができる。ポート数の削減は、結果としてレジスタ・マッピング・テーブルの回路面積の大幅な削減に繋がる。

スーパスカラ・プロセッサのレジスタ・ファイルもまた、多ポートのRAMによって構成されるコンポーネントである。通常、このレジスタ・ファイルにはオペランドの数に応じたポートが必要である。また、リネーミング済みの物理レジスタが格納されることから、そのエントリ数も非常に大きなものとなる。これらの結果、近年のプロセッサでは、レジスタ・ファイルの回路面積はL1データ・キャッシュに匹敵するほどの大きさとなっている。このレジスタ・ファイルの複雑さを緩和する手法としてレジスタ・キャッシュが提案されている。レジスタ・キャッシュは、低レイテンシの小容量なバッファであり、頻繁にアクセスされるメイン・レジスタ・ファイルの一部を保持する。レジスタ・キャッシュでは、ミスを起こした命令のみがメイン・レジスタ・ファイルにアクセスを行うため、そのポート数を大幅に削減することができる。しかし、従来のレジスタ・キャッシュでは、そのミス・ペナルティの影響により性能が大きく低下してしまうことが多かった。

これに対し、筆者はレイテンシを短縮しないレジスタ・キャッシュによって問題を解決する非レイテンシ指向レジスタ・キャッシュ・システムの研究を行った。非レイテンシ指向レジスタ・キャッシュ・システムでは、従来のレジスタ・キャッシュのペナルティを、それよりも発生確率の大幅に低い分岐予測ミス・ペナルティに転化させる。これにより、性能低下をほとんど起こすことなく、メイン・レジスタ・ファイルのポート数の削減を行う事ができる。

上記で述べた、リネーミング・ロジックとレジスタ・ファイル以外の制御部についても、その面積効率を向上させる技術がいくつか提案されている。それらのこれまでに行われてきた研究に対し、上記で述べた筆者が行った研究を統合することにより、スーパスカラ・プロセッサの全域において、面積効率の向上を行うことが可能となった。

そこで筆者は、これらの面積効率を向上させる要素技術を統合する研究を行った。各要素技術はお互いに組み合わせることを想定していないため、そのままでは組み合わせることができない。そこで、通常の構成と比較して変更点が広いリネームド・トレース・キャッシュをベースとし、各技術の統合を行った。上記の研究成果を実証する為、各技術を統合した雷上動と呼ぶプロセッサの設計と制作を行い、その面積効率の高さを確かめた。