

審査の結果の要旨

論文提出者氏名 塩谷 亮太

本論文は、面積効率を指向するプロセッサの研究と題し、性能を犠牲にすることなくプロセッサの回路面積を削減するための手法が示されており、和文で6章から構成されている。

第1章は、序論であり、研究の背景と目的を述べている。マルチコア・プロセッサでは、1チップに集積するコアの数によってその最大性能が決定されるため、コアとして用いられるスーパスカラ・プロセッサの面積効率が重要な課題となることが説明されている。

第2章は、Out-of-Order スーパスカラ・プロセッサと題し、out-of-order スーパスカラ・プロセッサの基本的な動作と、それらを実現するために必要な回路規模の検討、回路規模を縮小する既存技術についてまとめられている。Out-of-order スーパスカラ・プロセッサを構成する制御部は、基本的にRAMやCAMで構成されており、それらの回路面積はポート数の2乗とエントリ数の積に比例して増大する。この制御部は、処理幅に比例した数のポート数やエントリ数が必要となるため、結果として非常に大きな面積を占めることが説明されている。

第3章は、リネームド・トレース・キャッシュと題し、レジスタ・リネーミング済みの命令をトレース・キャッシュにキャッシュすることによって、レジスタ・リネーミングに必要なリネーム・ロジックを省略する手法が提案、評価されている。レジスタ・リネーミングの結果が、通常はキャッシュできないことについて説明を行い、その後これをキャッシュするためのレジスタのモデルの変更や、パスと共にトレース・キャッシュに格納する手法について説明している。リネームド・トレース・キャッシュでは、ミス時にのみ命令のリネーミングが行われるため、そのために必要となるレジスタ・マッピング・テーブルのポート数を大幅に削減することができる。ポート数の削減は、結果としてレジスタ・マッピング・テーブルの回路面積の大幅な削減に繋がる。評価の結果、トレース・キャッシュのミス率増加によるわずかな性能低下と引き替えに、レジスタ・リネーミングのために必要なリネーム・ロジックの回路面積を大幅に削減可能である事を示している。

第4章は、非レイテンシ指向レジスタ・キャッシュ・システムと題し、レイテンシを短縮しないレジスタ・キャッシュを用いることで、巨大なレジスタ・ファイルによる問題を解決する手法が提案、評価されている。近年のプロセッサでは、レジスタ・ファイルの回路面積は1次データ・キャッシュに匹敵するほどの大きさとなっている。このレジスタ・ファイルの複雑さを緩和する手法としてレジスタ・キャッ

シユが提案されている。レジスタ・キャッシュは、低レイテンシの小容量なバッファであり、頻繁にアクセスされるメイン・レジスタ・ファイルの一部を保持する。レジスタ・キャッシュでは、ミスを起こした命令のみがメイン・レジスタ・ファイルにアクセスを行うため、そのポート数を大幅に削減することができる。しかし、従来のレジスタ・キャッシュでは、そのミス・ペナルティの影響により性能が大きく低下してしまうことが多かった。これに対し、本論文では、レイテンシを短縮しないレジスタ・キャッシュによって問題を解決する非レイテンシ指向レジスタ・キャッシュ・システムが提案されている。非レイテンシ指向レジスタ・キャッシュ・システムでは、従来のレジスタ・キャッシュのペナルティを、それよりも発生確率の大幅に低い分岐予測ミス・ペナルティに転化させる。これにより、性能低下をほとんど起こすことなく、メイン・レジスタ・ファイルのポート数の削減を行う事ができる。評価の結果、この手法では、わずかな性能低下と引き替えに、レジスタ・ファイルの回路面積を 70% 以上削減可能であることが示されている。

第 5 章は、要素技術の統合と評価と題し、これまでに説明した各技術の統合とその評価についてまとめられている。マトリクス・スケジューラとリネームド・トレース・キャッシュの統合によって変換表が省略できることと、それらを統合しながら非集中化するための方法が示された後、それらの要素技術を統合することによって、同時実行命令数 1~2 程度のコアより面積効率に優れた同時実行命令数 4~8 程度のコアを構成できることが示されている。

第 6 章は、結論であり、本論文の研究成果についてまとめるとともに、今後の発展方向について議論している。

以上これを要するに、本論文は、out-of-order スーパスカラ・プロセッサの回路面積増加の主要因となっているレジスタ・マッピング・テーブルとレジスタ・ファイルに対し、レジスタ・リネーミング済みの命令をキャッシュするトレース・キャッシュ、および、レイテンシを短縮しないレジスタ・キャッシュという、従来技術の延長線上にはない 2 つの手法を提案するもので、構成する RAM のポート数を大幅に削減することにより、性能をほとんど下げることなく、それぞれの回路面積を 1/20、および、1/3 程度以下に削減できること、その結果、同時実行命令数 1~2 程度のコアより面積効率に優れた同時実行命令数 4~8 程度のコアを構成できることが示されており、電子情報学の発展に寄与する点は少なくない。

よって本論文は、博士(情報理工学)の学位請求論文として合格したものと認められる。