

## 論文の内容の要旨

論文題目           電子線露光における多層配線構造を考慮した近接効果補正に関する研究  
氏 名               荻野 宏三

半導体集積回路(Large Scale Integration : LSI)は微細化という手段を推進することで、高性能化と低コスト化を同時に実現してきた。この微細化のために必要とされるのが、電子回路パターンをシリコンウエハ上に形成する露光技術の進歩であり、主に光露光技術の短波長化によって推し進められてきた。しかし、最近では要求される解像度が露光波長を下回るようになってきているため、光露光技術では解像力向上のための様々な手法が開発されている。その中でも、位相シフトマスク、変形照明法、光近接効果補正等の超解像技術の導入は、LSIの高集積化に伴うパターン数の増加に加え、マスクデータ規模の爆発的な増加を引き起こし、マスク作製時における描画スループットの低下と欠陥検査の複雑化により、長納期化・価格高騰といった深刻な問題を生んでいる。

このため、電子線露光を設計改版の多い配線層に適用したいというマスクレス露光技術への期待が最近特に高まってきている。従来より、電子線露光によるマスクレス露光の試みは広く行われており、それに必要な近接効果補正の研究も数多く行なわれている。しかし、実際に従来の近接効果補正を実製品のデバイス製造に適用してみると、タングステン(W)や銅(Cu)などの重金属を含む多層配線構造に起因した近接効果(層間近接効果)が、レジストのパターン形成にとって新たな課題になっていることが判明した。層間近接効果は、配線層内の重金属の面積占有率、重金属の膜の厚さ、レジストから重金属の膜までの距離に依存し、さらにこれらがチップ上で局所的に異なるために補正を難しくしている。多層構造を考慮した補正技術は2000年頃より研究されるようになったが、まだ十分な精度の補正技術は確立されていなかった。

また、近年、製造工程に入る前にパターン検証を行い、CD (Critical Dimension)エラーや欠陥等が起こり易い部分(ホットスポット)を抽出し、必要な箇所の設計データを修正するDFM (Design

for Manufacturability)的な検証技術の確立が必要とされている。しかしながら、層間近接効果が重金属の面積占有率や膜厚、レジストからの深さに依存するということが、下層パターンの寸法ばらつきや膜厚のばらつきによっても変化する可能性を示している。しかし、このような下層のプロセスばらつきの影響は検討されてこなかった。

そこで、本論文は、マスクレス露光の電子線露光技術を多層配線のパターン形成プロセスに適用するための多層配線構造を考慮した高速・高精度な補正が可能な近接効果補正技術及び検証技術に関するものである。

層間近接効果を LSI のように大規模なデータに対して高速に計算できる簡便なモデル SEEF (Simplified Electron Energy Flux)を提案する。SEEF モデルでは、基板のある深さにおける仮想的な面を下向きあるいは上向きに通過する電子のエネルギー流(電子エネルギー流)の空間分布を考え、電子の進行方向に従って電子エネルギー流分布をある境界面から次の境界面へと写像していくことによって、基板内の電子のエネルギーの流れを表現する。この写像による基板内での電子エネルギー流の透過、反射、吸収に加えて水平方向の広がり表現と後方散乱強度の計算アルゴリズムについて述べ、それらの妥当性を検証した。その結果、電子エネルギー流の透過、反射、吸収の大きさについては、試料の膜厚との関係を電子散乱の Monte Carlo シミュレーション (EB-MCS)の計算結果と比較し、同様の傾向が得られることを確認した。さらに精度を上げるには、深さに依存して透過率と反射率を変える必要があることを示した。電子エネルギー流の水平方向への広がりについては、Si 基板の上の後方散乱強度分布を従来の double-Gaussian モデルと比較し、より露光実験に近い結果が得られることを確認した。また、従来は表現できなかった電子の入射位置から離れたところにある重金属上に形成するパターンに対する近接効果が弱まる現象(遮蔽効果)が、SEEF モデルによって表現できることを示した。

SEEF モデルのパラメータ抽出方法として、露光実験による経験的なパラメータ抽出方法に加えて EB-MCS を用いた基板構造の深さ方向を考慮したパラメータの抽出方法を検討した。露光実験によるパラメータ抽出方法では、3 層 AI 配線構造の様々な基板構造のバリエーションに対して露光実験による後方散乱強度をよく再現する結果が得られた。基板構造の深さ方向を考慮したパラメータ抽出方法では、EB-MCS を用いて基板表面からの深さの関数としてパラメータを求める方法を示し、様々な基板構造において各パラメータが取り得る範囲を評価した。さらに、深さに依らず一定のパラメータを用いた場合に比べて、試料の膜厚と電子エネルギー流の透過、反射、吸収の大きさの関係をより精度良く近似できることを確認した。

次に、SEEF モデルを用いた多層配線構造のための近接効果補正方法の補正精度を検証した。まず、SEEF モデルにおいて電子エネルギー流の写像を高速に計算するために、面積密度マップ法を多層構造に展開し、従来の単層における露光量補正法と補助露光法を多層に拡張した。この補正法により、AI 配線層と W プラグが存在する層間絶縁膜層から成る 3 層の AI 配線構造を仮定した W プラグが 3 次元的に配置された様々なバリエーションに対して高精度な補正ができる

ことを確認した。また、下層の W プラグが存在する領域と存在しない領域の境界付近におけるパターン線幅の変化を他の補正方法と比較し、従来の補正方法では遮蔽効果のために無視できない線幅変化が起きたのに対して、SEEF モデルに基づいた補正手法を用いることで大幅に低減されることを確認した。

次に、SEEF モデルを用いた多層配線構造のための実用的なモデルベースのパターン検証方法とその有効性を検証した。まず、SEEF モデルと EB-MCS によるレジストパターンの予測形状を比較し、4 桁以上高速に同等の精度で計算できることを確認した。また、実際の LSI 製造で見つかった狭スペースのショートによる欠陥箇所に適用し、欠陥を引き起こしやすいホットスポットの予測が十分可能であることを確認した。さらに、下層に存在する W プラグの寸法ばらつきや CMP (Chemical Mechanical Polishing) 平坦化の不均一性に起因する膜厚ばらつきといった多層配線構造特有のプロセスばらつきに対する SEEF モデルの表現方法を示した。また、下層の膜厚ばらつきに対して SEEF パラメータの近似方法を提案し、前述の欠陥箇所における下層の寸法ばらつきと膜厚ばらつきに対する狭スペースの変化を評価した。その結果、SEEF モデルが露光マージンレスのホットスポットの予測に応用することが可能であることを確認した。

電子線露光をマスクレス露光として LSI 製造に直接適用するには、大規模 LSI に対して実用的な処理時間で近接効果補正を行うことが必須条件と言える。そこで、PC クラスタによる分散処理システムを用いて処理領域を格子状の小領域に分割して分散処理する領域分割方式による補正処理方法を検討した。まず、分割した小領域の境界を正しく補正するのに必要となる周辺パターンの取り込みの大きさを評価した。次に、チップサイズとプロセッサ数を考慮した領域の分割サイズの最適化するための関係式を提案し、そこから最適な分割サイズを評価できることを確認した。その結果、プロセッサ数に比例して処理時間を短縮できることが確認でき、製品データの配線層の大規模なデータに対しても実用的な時間で多層構造を考慮した近接効果補正処理が行えることを確認した。一方、露光シミュレーションは、近接効果補正に比べてより細かな計算が要求されるため、さらなる並列化が必要であった。最近ではプログラマブルな GPU (Graphics Processing Unit) や CELL プロセッサといったアクセラレータを利用した高速化が注目を集めている。PC クラスタとアクセラレータを併用した高速化は今後の検討課題である。

本研究により、SEEF モデルを用いることで多層配線構造における複雑な層間近接効果を高い精度で表現できることが確認された。また、PC クラスタと組み合わせることで、大規模 LSI に対しても実用的な時間内で多層構造を考慮した近接効果補正処理が可能であることが示された。ただし、より細かな計算が要求されるパターン検証においては、さらなる高速化は必要であり、例えば PC クラスタとアクセラレータを併用した開発が今後期待される場所である。