

論文の内容の要旨

論文題目 材料界面制御による極微細Metal/High-k CMOSの
高性能化に関する研究

氏 名 三瀬 信行

本論文は極微細Metal/High-k CMOSに関し、CMOSを構成する材料の性質を活かし、材料界面を制御することで、(1)縦方向一次元的なスケーリングの問題、(2)横方向二次元的なゲートスタックのスケーリングの問題、(3)ソース・ドレイン構造の問題の三つの観点においてCMOSの性能を向上させることを検討したものである、6章で構成されている。

第1章は序論で、CMOSの微細化により従来のPoly-SiゲートとSiO₂ゲート絶縁膜からなるゲートスタックに代わり、MetalゲートとHigh-kゲート絶縁膜からなるスタックが必要であることを説明している。

第2章では、縦方向の微細化に伴うMetal/High-k CMOSの閾値電圧 V_{th} の制御と移動度に関して検討している。Metal/High-k CMOSでは、閾値電圧 V_{th} の制御と移動度の向上が大きな課題で、現在主流の V_{th} 制御方法は、たとえばnMOSにはLa₂O₃を添加したHfO₂、pMOSにはAl₂O₃を添加したHfO₂のように、n、pMOSに異なるHigh-k材料を用いる方法である。このHigh-kによる V_{th} 制御においては、n、pMOSに共通のHigh-k (主にHfO₂)の上にnMOS領域にはLa₂O₃、pMOS領域にはAl₂O₃を堆積し、1000度の熱処理によりLaやAlをSiO₂(SiON)界面に到達させ、 V_{th} を制御するプロセスが量産に対応した現実的なプロセスであると考えられている。

そこで、HfSiON/SiON上にMgOとLa₂O₃を添加したTiNゲートのnMOSを作製し、1000度の熱処理を加えたときのMg、Laの拡散挙動、フラットバンド電圧 V_{fb} や移動度とMg、La添加量の関係を実験的に調べた。その結果、MgとLaではHfSiON中の拡散の様子が異なり、Mgが比較的容易にHfSiONとSiONの間に到達するのに対しLaはHfSiON中に存在しがちなこと、Mg添加の場合は V_{fb} はMgOの膜厚のみで決まるのに対し、La添加の場合はHfSiONの膜厚と添加するLa₂O₃の膜厚の両方が V_{fb} に影響することがわかった。

また、 MgO や La_2O_3 を添加すると、 V_{fb} の負方向シフトとともに移動度（特に低電界移動度）が向上することもわかった。さらに、添加する材料やHigh-k分のEOTとは無関係に、High-k/SiON界面でのダイポールが V_{fb} を支配的に決めていること、 V_{fb} と低電界移動度の逆数は直線で近似できる関係にあることがわかった。 V_{th} と低電界移動度の逆数の関係は、 MgO や La_2O_3 の添加量の増加とともにSiONを被覆するHigh-k材料が HfO_2 から MgO や La_2O_3 に変化すること、High-k/SiON界面にはHigh-k材料固有のダイポールモーメントが形成されるが、ダイポール間の距離がSiONの厚さと同程度なので被覆率で重み付けしたダイポールモーメントを平均的に扱うことで説明できることがわかった。

第3章では、Metal/High-k CMOSにおいて、ゲート長 L_g を微細化したときの問題として、ゲートエッジの変質がトランジスタ特性に及ぼす影響を検討している。ゲートエッジの変質およびその影響を取り上げたのは、Metal/High-kはPoly-Si/SiO₂よりも変質しやすく、微細化するほどゲートエッジの割合が増加し、微細MOSではゲート（ソース）エッジの性質が重要なためである。

そこで、SiNオフセットスペーサーのみが異なるTaSiN/HfSiONのnMOSを試作し、オフセットスペーサーがトランジスタ特性に及ぼす影響を比較した。その結果、 L_g が10 μm の場合、オフセットスペーサーを変えてもトランジスタ特性に差がないが、 L_g が80nmの場合、オフセットスペーサーを変えると、 V_{th} が低いものほど駆動力(g_m)が高いことがわかった。この関係を横軸に L_g 、縦軸に $1/g_m$ で整理することで、オフセットスペーサーの種類によりゲートエッジに偏在した寄生抵抗に差が生じることがわかった。

また、Metalゲートのゲートエッジの局所的な仕事関数変化を抽出する方法を開発した。その方法とは、横方向に隣接したTaSiNゲートとSiNオフセットスペーサーの関係を90度回転したSiN/TaSiN/SiO₂のスタックを用意し、熱処理後のTaSiN膜厚依存の V_{fb} を調べることで、SiNと接するTaSiNの実効仕事関数変化を捉えるというものである。これによりSiNと接する両ゲートエッジより10nmの領域においては、TaSiNの実効仕事関数が0.1eV上昇することがわかった。

第4章では、極微細Metal/High-k CMOSに求められる浅くて、低抵抗のS/Dとして開発した単結晶エピタキシャルNiSi₂と不純物偏析を利用したS/Dの作製プロセス、デバイス特性を検討している。

このNiSi₂ S/Dは原子レベルで平坦な(111)ファセットを持ち、不純物がNiSi₂/Si界面に偏析することが構造上の特徴で、Niスパッタ時にN₂を添加すること、NiSi₂に対し不純物をイオン注入し、600度の低温熱処理により不純物をNiSi₂/Si界面に偏析させるというプロセスで作製している。また、実際にゲートの物理長が6nmのMetal/High-kのn、pMOSを試作し、そのトランジスタ特性から本S/Dがn、pMOSに適用可能であることを

実証している。

一般には、NiSiが優先的に形成される600度においてNiSi₂が選択的に形成されるのは、N₂添加によりSiと反応するNiの量を制限しているためであると考えている。N₂添加のない場合はNiが自由に拡散しSiと反応しその温度で最も安定なNiSiを形成するが、N₂添加によりSiN結合ができるとNiはSiN結合を切ってSiと反応する必要があり、Siに供給されるNi量が減り結果的にSiリッチなNiSi₂が形成される。

NiSi₂は最も高温で安定なNiSi_xであり、Siの組成比が最も高いためSiとの界面では約1000度の共晶点まで安定である。また、Siとの格子不整合が0.4%でありSiに対し比較的容易にエピタキシャル成長する。さらに、サリサイドプロセスでは、オフセットスペーサーの端点を基点とする(111)面がNiSi₂/Si界面となるように自己組織的にNiSi₂が形成される。その結果、チャンネルは(111)面で決まる台形形状となる。この台形チャンネルでは、ゲートから離れるほどチャンネルが長いので本質的に短チャンネル効果が起こりにくいと予想され、シミュレーションでもその効果が確認できた。

このように、エピタキシャルNiSi₂と不純物偏析を組み合わせたS/Dは、製造プロセスおよびデバイス特性の両観点において、極微細Metal/High-k CMOSにふさわしいS/Dであることがわかった。

第5章では、第2章から第4章をまとめている。

第6章では、これまでの議論をベースに、将来の極微細Si CMOSとして、厚さ5nmのSi(001)のSOIとゲート長が10nm、EOTが0.5nmのMetal/High-kゲートスタックと不純物偏析・自己組織的エピタキシャルNiSi₂ S/DからなるCMOSを提案している。提案したCMOSのゲートは形状制御のためn、pMOSで共通とし、High-kはV_{th}制御のためn、pMOSで異なる材料からなり、ゲートラスト並みの熱負荷のゲートファーストプロセスで作製する。また、Metal/High-kによる極薄のEOT、極薄のSOIとファセットで決まる台形チャンネルのために、短チャンネル効果に強いデバイス特性が得られる。

以上