

論文の内容の要旨

論文題目 Dバンド無線通信用ミリ波CMOS集積回路に関する研究

氏名 本良 瑞樹

本論文は「Dバンド無線通信用ミリ波CMOS集積回路に関する研究」(Study on Millimeter-Wave CMOS Integrated Circuits for D-Band Wireless Communication)と題し、Dバンド(110-170GHz)を用いる高速無線通信用ミリ波トランシーバの実現に必要な不可欠なCMOS集積回路による低雑音増幅器および低位相雑音発振器についての研究を記したもので、全5章より構成される。

第1章は序論について述べている。

近年、社会を支えるインフラとしてネットワークが非常に重要視されており、大容量のデータを送受するためにより高速なネットワークが求められている。無線通信についても市場は驚くべきスピードで広がりつづけ、有線ネットワークに匹敵する通信容量を実現することが求められている。微細化によりトランジスタの周波数特性が改善され、60GHzに代表されるミリ波帯で動作する回路が実現されるようになってきている。複数のミリ波無線トランシーバが実現され、短ミリ波を用いる無線トランシーバについても研究が行われている。Dバンド(110-170GHz)では60GHzバンドに比べて非常に広い周波数帯域が利用でき高速大容量無線通信が実現できる。しかしながら、現在提案されているDバンドで動作する無線通信用集積回路は周波数特性に優れた化合物半導体で実現されている。これをCMOSプロセスにより実現できれば低消費電力で大容量高速通信が実現できる。そこで、その周波数帯をカバーできるCMOS集積回路の実現が求められている。本論文では、低雑音増幅器および低位相雑音発振器についての研究を記している。

第2章は「ミリ波広帯域低雑音増幅回路の設計手法」と題し、無線レシーバの実現に必要な不可欠な低雑音増幅器(LNA)の設計手法について述べている。本章ではLNAの周波数依存トレードオフ性能指標を明確にすることで回路パラメータを最適化する設計手法と、寄生成分を排除しレイアウトを忠実に実現するレイアウト手法を包括するミリ波単一段LNA設計手法を提案している。ミリ波広帯域CMOS-LNAの設計指標として利得やNFなどの制約条件のトレードオフを示す周波数依存トレードオフインデキータを提案し、それを用いたLNAの設計手法について述べている。一段LNAのための設計手法は全ての基本となる重要な項目である。多段LNAはシステムにおいて必要な高利得を得るためにトランシーバ等で用いられるが、これは一段LNAの設計手法を拡張することで実現できると考えられる。また、ミリ波レイアウト手法としてボンドベースに基づくレイアウト手法を適用することで寄生成分を排除し実測と設計値の乖離を小さくできることを確認した。提案手法を検証するために、100GHz CMOS LNAを65nm1P12MのCMOSプロセスにより試作評価した。利得は95-105GHzの周波数帯で2dBであった。このとき、設計値と実測値との差異は1dB以下であり、提案手法によりアンプが設計でき、かつ設計どおりの性能が得られることを確認した。

第3章は「140GHz広帯域低雑音増幅器」と題し、実際の無線レシーバに用いることのできるDバンド広帯域低雑音増幅器について述べている。高速通信を行うとき、被変調信号はビットレートに従う複数の離散周波数成分を持つため広帯域で安定した利得および群遅延特性が求められる。本章ではLNAの群遅延および利得を帯域内で平坦化する手法について提案している。LNAは高利得を実現するために複数段で構成されるが、個々の段の周波数特性を帯域内で分散させることで、全ての段を組み合わせたときに利得および群遅延時間を平坦化する。これによりイコライザ無しに回路設計が行えるため無線レシーバの実現が容易となる。目標仕様は3dBバンド幅25GHzで、12.5Gbpsの振幅変調(ASK)信号を想定し群遅延時間は16ps以下とし、この回路を1P12Mの65nmCMOSプロセスを用いて実際に試作を行なった。評価を行った結果、中心周波数137.3GHzで3dBバンド幅27.6GHzの広帯域LNAを実現した。ここで、群遅延時間偏差は12.9psであり、利得平坦性の定義とした0.1dBバンド幅は12GHzと非常に広帯域で利得平坦性を実現した。電源電圧1.2Vにおいてピークゲイン10dB、消費電力は57.1mWであった。

第4章は「116GHz低位相雑音電圧制御発振器」と題し、無線トランシーバにおいて搬送波を生成する発振器の低位相雑音化について述べている。無線トランシーバの実現には安定したキャリアを供給できる低位相雑音の発振回路が不可欠である。Dバンドで動作する発振器は幾つか発表されているが、それらは高い動作周波数を実現するために小さいサイズの共振器やMOSFETを用いている。位相雑音の原因となる $1/f$ ノイズの帯域幅を決めるコーナー周波数はMOSFETのサイズに反比例するため、小さいサイズのデバイスを用いると $1/f$ ノイズが大きく影響し低い位相雑音を実現しにくいという問題があった。そこで、2つの発振器を組み合わせる回路構成を提案した。低い周波数で安定的に動作する発振器により高い周波数で動作する発振器を注入同期させることで、後者の位相雑音を低下させる。これをマスタースレーブ型VCOと呼ぶ。この回路を1P12Mの65nmCMOSプロセスを用いて実際に試作を行なった。評価を行った結果、電源電圧0.6Vにおいて1MHzオフセットにおける位相雑音は -99.3dBc/Hz であり、消費電力は1.46mWであった。位相雑音を提案手法により位相雑音が低くすることができ、同じDバンドで動作するCMOS-VCOに比べ20dB低いFoMを実現した。

第5章は結論について述べている。各章での成果をまとめ、Dバンド無線通信トランシーバの実現への道筋を示した。

以上、要するに本論文では、Dバンド無線レシーバを実現するために必要となるCMOS集積回路である低雑音増幅器の設計手法を提案および実証し、ASK変調で10Gbps超の信号を増幅することができる超広帯域増幅器をCMOSで実現した。また、非常に小さい位相雑音の発振器をCMOSで実現した。これらの手法により10Gbps超の高速無線通信を実現する無線トランシーバを低消費電力で実現する道筋を示すことができた。