

審 査 の 結 果 の 要 旨

氏 名 本良 瑞樹

本論文は「D バンド無線通信用ミリ波 CMOS 集積回路に関する研究」と題し、D バンド(110GHz~170GHz)を用いた携帯用低消費電力無線通信機を実用化するために課題となる低雑音増幅器と電圧制御発振器を CMOS 集積回路で実現するための設計手法と試作実証について述べるもので、全 5 章で構成されている。

第 1 章は「序論」であり、無線通信での伝送速度の向上のトレンドについて述べるとともに、振幅変調(ASK)方式を用いた低消費電力 D バンド無線通信のアーキテクチャを例示しつつ本研究の背景を述べ、目的を明確化している。

第 2 章は「ミリ波広帯域低雑音増幅回路の設計手法」と題し、D バンドを含むミリ波帯低雑音増幅回路の設計手法について述べている。ここでは、Bond-Based Design (BBD)を用いたレイアウトを前提としたデバイスモデルを用い、雑音指数と電力利得の仕様を満たす領域を、信号源側のスミスチャート上に示すトレードオフインジケータを提案し、トレードオフインジケータの周波数特性をトレースするマッチング回路を設計することにより広帯域の低雑音増幅回路を設計する手法である。本提案手法により、65nmCMOS プロセスを用いた 100GHz 低雑音増幅回路を試作し、有効性を実証した。

第 3 章は「140GHz 広帯域低雑音増幅器」と題し、超高速通信に必要な広帯域低雑音増幅回路において、周波数特性の変動を抑制するとともに群遅延特性の変動も抑制するために、多段回路の各段の周波数特性と群遅延特性を適切に調整することにより、全体で特性が均一になる設計手法を提案している。本提案手法を用いて D バンドにおいて、利得変動が 0.1dB 以内のバンド幅が 12GHz という平坦な周波数特性を有する 140GHz 増幅器を 65nm CMOS プロセスを用いて試作し、有効性を実証した。

第 4 章は「116GHz 低位相雑音電圧制御発振器」と題し、低損失伝送線路を用いた電圧制御発振器の設計手法を示すとともに、D バンド発振器で用いられる狭ゲート幅の NMOSFET から発生するフリッカー雑音を低減するために、1/2 の周波数で発振しフリッカー雑音の小さな発振器をマスター発振器として用い、マスター発振器により D バンドの発振器を注入同期する手法を提案した。本手法により、D バンドの CMOS 発振器の位相雑音を 1MHz オフセットで 22dB 低減できることを試作により示した。

第 5 章は「結論」であり、本研究の成果を要約し結論を述べている。

以上のように本論文は、超高速無線通信を低消費電力 CMOS 回路で実現する上で重要な D バンド低雑音増幅回路の設計手法を示し 140GHz 増幅回路の設計・試作・評価を通じてその有効性を実証するとともに、D バンド電圧制御発振器の位相雑音を注入同期により低減する手法を示し 116GHz 発振器の設計・試作・評価を通じてその有効性を実証したものであり、電子工学上寄与するところが少なくない。

よって本論文は博士(工学)の学位請求論文として合格と認められる。