

審査の結果の要旨

氏名 金 鎮明

本論文は、**A Study on Resonant Supply Noise Reduction in Multiple Power Domain LSIs**（和訳：多電源ドメイン集積回路における電源共振雑音低減に関する研究）と題し、多電源ドメインを有するシステムLSIにおける、ブロック毎の電源の入り切りや電源電圧の変化により生じる電源共振雑音の低減に関する研究成果を纏めたもので、全6章よりなり、英文で記述されている。

第1章は、序論であり、本研究の背景として、電源の共振雑音、既存の電源雑音低減手法に関して議論するとともに、本論文の構成について述べている。

第2章は、**"Resonant Supply Noise Canceller Utilizing Parasitic Capacitance of Sleep Blocks**(スリープブロックの寄生容量を用いた電源の共振雑音低減)"と題し、多電源ドメインにより構成されたシステムLSIにおけるスリープブロックにおいて、電源線から見える寄生容量を、電源の共振雑音に合わせてキャンセル用トランジスタを制御することで、デカップリング容量を用いる手法と比較して小面積で電源雑音を軽減させる手法を提案し、実測による雑音低減の実証とともに解析的に雑音低減効果を示している。

第3章は、**"Active Decoupling Capacitor for Cancelling On-Chip Resonant Supply Noise**(能動的デカップリング容量を用いた電源の共振雑音低減)"と題し、第2章のスリープブロックの寄生容量における事前の充電時間の軽減を目指し、一般的に雑音低減に用いられるMOS容量を、第2章同様に制御することで、容量当たりの電源雑音低減効果を1.2倍に向上可能であることを実測により示している。

第4章は、**"Switched Parasitic Capacitors of Sleep Blocks with Tri-Mode Power Gating Structure**(スリープブロックにおける寄生容量の切り替えに向けた3状態パワーゲーティング構造)"と題し、スリープブロックにおける寄生容量間を、パワーゲーティング用トランジスタに加えブリッジトランジスタを用いることで直列接続—並列接続を切り替えることで、電源電圧変化に起因する共振雑音だけでなく、周期的な電源雑音に対する電源雑音の低減が可能であることを実測により示している。また、スリープブロックを利用することによるリーク電流増大の影響をシミュレーションにより検証している。

第 5 章は，”Controlled Bridge Impedance for Switched Parasitic Capacitors(寄生容量切り替え構成におけるブリッジインピーダンスの制御)”と題し，第 4 章で提案したスリープブロックにおける寄生容量の切り替えにおいて生じる高周波雑音の低減のために，ブリッジトランジスタの駆動力調整機能を設けることで，電源雑音低減効果の調整が可能となることを実測により示している．

第 6 章は，結論である．

以上要するに本論文は，多電源ドメインを有するシステム L S I において，電源に生じる共振雑音を低減する手法の提案を行い実測により実証したもので，半導体電子工学の発展に寄与するところが少なくない．

よって本論文は博士（工学）の学位請求論文として合格と認められる．