

審査の結果の要旨

論文提出者氏名 池内 克之

本論文は「CMOS Circuit Building Blocks for Proximity Communication Systems」(和訳：非接触通信システムに向けた CMOS 要素回路の研究)と題し、非接触通信を将来のシステム実装方法として使用する際に必要となる各種回路ブロックに関し、送受信フロントエンド回路を含む要素回路を CMOS 集積回路で実現する手法を提示するもので、全 7 章で構成されている。

第 1 章は「Introduction」(序論)であり、非接触通信を用いたシステムの要求事項や課題について述べるとともに、本研究の背景を述べ、目的を明確化している。

第 2 章は「10 μ m Range Board to Board Proximity Communication」(通信距離 10 μ m のボード間非接触通信)であり、通信電極の面積が従来比 1/25 の 50 μ m 角の電極で通信を可能とする 2 つの回路手法を提案している。一つはデータ通信に向くトラック・アンド・チャージ手法で、低ビットレート 15Mbps で従来比 1/20 以下の低消費電力を実現する。1Gbps までの通信を 65nm CMOS チップで実証した。他の一つはクロック伝送に向く方式で、受信フロントエンドに直列容量を挿入することを提案し、2.6Gbps という高速通信を 65nm CMOS チップで実証している。

第 3 章は「200 μ m Range Board to Board Proximity Communication」(通信距離 200 μ m のボード間非接触通信)であり、通信距離が 200 μ m ほどある応用を想定し、誘導結合通信を用い、隣接コイル間の干渉を下げつつ、信号量を増大させるコイルの最適設計指針とリンギング抑制手法を提示している。0.18 μ m CMOS 技術による実測でその有効性を示している。

第 4 章は「Chip to Chip Proximity Communication」(チップ間非接触通信)であり、非接触通信用電極と通常の実装で用いるボンディングパッドを共用することによって、同一デザインで 2 種類の実装を可能とする容量結合型スルー・チップ通信を提案し、400 μ m 厚のチップを介して、200Mbps で信号を授受できることを 0.18 μ m CMOS チップで実証している。

第 5 章は「Clocking」(クロッキング)であり、クロック周波数を動的に変化させる非接触通信システムで、スイッチ付き共振クロック回路を用いて、クロック系の消費電力を最大 93%削減すると共に、誤作動を防止できることを 0.18 μ m CMOS 技術による実測で示している。

第 6 章は「Low Voltage Reference Voltage Circuit」(低電圧基準電圧回路)であり、ストレス印加によって基準出力電圧調整を行える出力電圧 0.6V の基準電圧発生回路を提案し、40nm CMOS 技術を使って試作し評価している。また、実測結果を踏まえ、シミュレーションを通して改良手法を提示している。

第 7 章は「Conclusions」(結論)であり、本研究の成果を要約している。

以上のように本論文は、非接触通信技術をワイヤレスコネクタなど新たな実装方式として使用する際に必要となる低電力 CMOS 要素回路技術として、トラック・アンド・チャージ手法、リンギング抑制手法、容量結合型スルー・チップ通信、スイッチ付き共振クロック回路を提案し、その有効性を集積回路の設計・試作・測定を通じて実証したものであって、電子工学上寄与するところが少なくない。

よって本論文は博士(工学)の学位請求論文として合格と認められる。