

審査の結果の要旨

氏名 安福 正

本論文は「Sub-0.5V Extremely Low Power Logic Circuits」(和訳：電源電圧 0.5V 以下の極低電力ロジック回路に関する研究)と題し、ロジック回路の低電源圧化を妨げる問題を分析し、その対策を示すことで、電源電圧 0.5V 以下のロジック回路を実現するための手法を提示するものであり、全 5 章で構成されている。

第 1 章は「Introduction」(序論)であり、低電源電圧ロジック回路を実現する意義と、低電源電圧化を妨げる問題を示すとともに、本研究の背景を述べ、目的を明確化している。

第 2 章は「Analysis and reduction of minimum operating voltage of logic circuits」(ロジック回路の最低可動電圧の解析と低減)と題し、論理ゲートが正常に動作する下限電圧である最低可動電圧の決定要因を、65nm CMOS において実測、理論、シミュレーションを元に分析し、その低減を可能にする設計手法について論じている。最低可動電圧は nMOS と pMOS のバランスによって決定されるシステムチック成分と、トランジスタのランダムしきい値ばらつきによって決定されるランダムばらつき成分に分解できることを明らかにした上で、両成分を低減する設計手法を論じ、ロジック回路の低電源電圧下を実現するための論理ゲート、Flip Flop の設計手法を確立した。

第 3 章は「Analysis of delay variation」(遅延時間ばらつきの解析)と題し、論理ゲートの遅延時間ばらつきを測定する回路を 65nm CMOS で試作、測定し、論理ゲートの遅延ばらつきを分析している。特に自動配置配線ツールによるレイアウト、手動レイアウトの二つのレイアウト手法が相対遅延時間ばらつきに及ぼす影響について分析し、電源電圧を 1.2V から 0.4V に低減すると両者の相対遅延時間ばらつきの差が 1.56%から 0.07%に減少することを示し、低電源電圧ロジック回路設計においても、レイアウト手法は従来の設計手法が適用可能であることを実証した。

第 4 章は「Post fabrication dual power supply voltage control」(電源電圧の製造後制御)と題し、電源電圧の製造後制御によりロジック回路の実効的な最低可動電圧を低減し低電力化を実現する手法を提案し、65nm CMOS での試作を通じてその有効性を実証している。提案手法は、ロジック回路を機能ブロックとは無関係に機械的に細かく分割し、各領域に与える電源電圧を提案する最適化アルゴリズムにより決定することで、ロジック回路全体の実効的な最低可動電圧を低減し電力を削減するものであり、最大で 24%の電力削減を実証した。

第 5 章は「Conclusion」(結論)であり、本研究の成果を要約し結論を述べている。

以上のように本論文は、電源電圧 0.5V 以下の極低電力ロジック回路の実現を目的として、ロジック回路の低電源電圧化を妨げる最大の要因である最低可動電圧の決定要因を分析し、低電源電圧向け論理ゲートと Flip Flop の設計手法を確立するとともに、電源電圧の製造後制御によりロジック回路の実効的な最低可動電圧を低減し低電力化を実現する手法について集積回路の設計・試作を通じて実証したものであって、電子工学上寄与するところが少なくない。

よって本論文は博士(工学)の学位請求論文として合格と認められる。