

論文の内容の要旨

論文題目 LSI Circuit Technologies Realizing High-Volume Data Transfer
Between Chips

(チップ間通信の大容量化を実現する LSI 回路技術に関する研究)

氏名 山口晃一

ハイエンドな計算機からコンシューマ機器に至るまで、デジタル・コンピューティング・システムの多くは、複数の LSI を用いて高度な処理を実現している。このようなシステムの処理性能は、多くの場合 LSI 間の通信性能によって制限されている。これはチップ単体の性能が半導体プロセスの微細化に伴って大きく向上する一方、外界と信号を入出力する I/O 部分の微細化が容易ではないことに起因している。本論文では、システムの性能向上に不可欠な、チップ間通信の大容量化を実現するための LSI 回路技術に関する研究について述べる。

第 2 章では、高減衰媒体を通して、従来比 1.5 倍の 12Gb/s 伝送を実現するデュオバイナリ伝送技術について述べる。高速な電気信号はケーブルやプリント基板などの伝送路を通る過程で高周波成分を失い、信号のパルス幅が 1 データ幅以上に広がる。このため、連続して送信した 2 データ間で符号間干渉(Inter-Symbol Interference: ISI)と呼ばれる波形の干渉が発生し、正しいデータの送受信が困難になる。このような問題を解決するために、従来ハードディスクドライブの記録などに用いられていたデュオバイナリ符号化を用いた高速伝送技術を研究した。デュオバイナリ伝送ではイコライズ技術を用いて連続する 2 データ間の ISI 量を一定に制御することで、高速かつ低損失な伝送を実現する。デュオバイナリ伝送で必要となる高度な波形整形を実現するために 1 データに対して 2 倍の頻度でイコライズ可能なオーバーサンプル・イコライズ回路を開発した。またデュオバイナリ受信波形の特徴を活かして従来比 1/2 のレートのクロックで同期クロックを再生する、シンボルレートクロック再生回路を開発し、受信回路の低電力化を実現した。90nm CMOS プロセスを用いてデュオバイナリ送信回路を試作し、デュオバイナリ伝送を試行した。その結果、12Gb/s 伝送時に従来の 2 値伝送と比較して、電圧方向に 3.5dB、時間方向で 1.5 倍の Eye 開口が確認できた。

第 3 章では、磁気結合線路を通して、従来比 6 倍の 5Gb/s 伝送を実現するダイコード技術について述べる。従来、磁気結合線路を介した通信で用いられてきたパルス伝送方式では、信号パルス間の干渉を避けるために通信レートをインダクタの自己共振周波数の約 1/3 程度に落とす必要があった。この問題を解決するために、ダイコードと呼ばれる符号化を用いて波形を整形することで、伝送信号の周波数成分をインダクタの自己共振周波数に合

わせることを可能にした。これは伝送レートが自己共振周波数の 2 倍に等しくなることに相当する。90nm CMOS プロセスを用いてイコライズ機能付き電流モード・ドライバを内蔵した送信回路を設計し、磁気結合線路における 5Gb/s ダイコード伝送を試行した。120um の距離で対向した 120um 径のオンチップ・インダクタを介した通信で、受信端での 20mV の Eye 開口とエラーフリーの受信動作が確認できた。

第 4 章では、わずかな追加ハードウェアで多チャンネル通信回路に不可欠な同期検証を行うことができる分散配置・ヘッダ同期型 BIST 技術について述べる。サーバ内部のバックボード通信などでは、大容量な電気伝送を実現するために複数の伝送路及び通信回路を並列に用いた多チャンネル通信が用いられている。従来の多チャンネル通信回路では、LSI に搭載した通信回路の高速動作性能と多チャンネル間のデータ同期を検証するため BIST 回路に多くの面積が必要となることが課題となっていた。そこで、擬似ランダムデータをパケット化する送信側 BIST 回路とパケットのヘッダ信号に同期して受信データを検証する受信側 BIST 回路を各チャンネルに分散配置することでこの問題を解決した。本技術では受信側 BIST 回路が隣接チャンネル間でヘッダ情報を共有することでチャンネル間の同期検証を容易に行うことが可能となる。本方式を用いた BIST 回路を 5Gb/s×20ch の多チャンネル通信回路に適用し、0.13um CMOS プロセスを用いて試作した。本 BIST 回路は所望の 500MHz 以上の速度で動作し、BIST 回路によって、多チャンネル通信回路の 5Gb/s データ受信動作及び 20ch チャンネル間同期動作が正しく検証できた。

第 5 章では、通信回路の高速動作に不可欠な多相クロックの、クロック分配電力を半減するフィードフォワード型多相クロック発生技術について述べる。従来の PLL(Phase Locked Loop)や DLL (Delay Locked Loop)を用いた多相クロック発生回路は電力・面積共に大きいため、多チャンネルの通信回路に適用した場合、電力/面積の増加が問題となっていた。また、これらの方式ではフィードバック制御を用いてクロックを発生しているため、多相クロックの位相が安定するまでに μs オーダの時間がかかることも課題であった。この問題を解決するために、位相補間を用いた新規多相クロック発生方式について研究した。本方式では、遅延素子の遅延変動を、位相補間によるフィードフォワード制御によって自動補正する。本方式を用いた 2.5GHz 4 相クロック発生回路及び、4 相クロック発生回路を内蔵した 5Gb/s×8ch 受信回路を 0.13um CMOS プロセスを用いて試作した。5Gb/s×8ch 受信回路では分配された 1 相クロックから 4 相クロックを発生することで低電力なクロック分配を実現している。4 相クロック発生回路の電力は 30mW、面積はわずか 0.009um² である。4 相クロック発生に要する時間は 1.5 クロック、4 相クロック間誤差は 1.5GHz から 2.8GHz の範囲で ± 5 度以内であった。

第 6 章では、電力 25%低減、ノイズ耐性倍増を実現する耐ノイズ・ディジタル周波数再生技術について述べる。データにクロック信号を多重化して、外部からクロック信号の供給を受けずに高速信号を受信するクロック多重通信は、水晶発振器などの外付け部品が不要となるため、コンシューマ機器の高速化と低コスト化に有効な技術である。しかしなが

ら、従来のクロック多重通信では、アナログ回路を用いた周波数再生回路の電力が大きいことと、内蔵した発振器に対するコンシューマ機器特有の大きなノイズの影響が問題となっていた。そこで並列デジタル位相周波数比較による高速かつ低電力な周波数再生と、耐ノイズ性能を実現するために発振器制御信号のパルス整形技術及び発振器を安定動作させるための通信プロトコルについて研究した。さらに本研究成果を Full-HD 液晶ディスプレイ(LCD)ドライバに適用し、2.0Gb/s クロック多重インターフェースを新たに開発した。本インターフェースでは、2.0Gb/s の高速データのみを受信側に供給することで LCD ドライバを制御することができる。本技術を用いたクロック・データ再生回路及び LCD ドライバを低コストな 0.25 μm CMOS プロセスで試作し、2.0Gb/s 信号のエラーフリー受信動作を確認した。消費電力は 3.0V 電源で 93mW、再生クロックジッタは 11ps rms である。

第 7 章ではまとめと今後の展望について述べる。今後の大容量データ伝送向け回路技術では、デジタル化技術を用いた電力性能の向上、イコライズ性能の向上が注目される。従来アナログ回路で実現した通信回路ブロックを集積度の向上が著しいデジタル回路による置き換える技術。また低精度なアナログ回路の動作をデジタル回路によって補正することで低電力化と高精度化を両立するデジタル・アシスト技術によって、通信回路性能のさらなる向上が期待される。チップ間通信の大容量化を実現する回路技術は、これからも LSI の付加価値を高める重要な技術であり続けると考えられる。