

審査の結果の要旨

氏名 山口 晃 一

本論文は、**LSI Circuit Technologies Realizing High-Volume Data Transfer Between Chips** (チップ間通信の大容量化を実現する LSI 回路技術に関する研究) と題し、英文で書かれている。本論文は、サーバ・ルータやコンシューマ機器で要求が高まっている毎秒ギガビットを超えるチップ間電気伝送を実現するための LSI 回路技術について論じたものであって、全 7 章より構成される。

第 1 章は「**Introduction**」(序論) であり、近年の大容量チップ間伝送への要求の高まりと、大容量チップ間通信を実現する上での課題についてまとめており、本論文の背景と目的を明確にしている。

第 2 章は「**Electrical Signaling over Wired Interface**」(有線通信での電気伝送技術) と題し、高速電気伝送における波形劣化の問題を解決するデュオバイナリ伝送技術と、デュオバイナリ伝送を実現する回路技術について述べており、本技術により従来 2 値伝送方式と比較して 1.5 倍の高速化が得られることを明らかにしている。

第 3 章は「**Baseband Signaling over Inductively-coupled Interface**」(誘導結合通信でのベースバンド伝送技術) と題し、誘導結合線路での高速通信における自己共振による波形干渉の問題を解決するダイコード伝送技術について述べており、従来のパルス伝送方式と比較して 6 倍の高速化が得られることを明らかにしている。

第 4 章は「**Built-in Self Test for Multi-channel Transceiver**」(多チャンネル通信回路向け BIST 技術) と題し、通信回路の多チャンネル化に伴って、チャンネル間同期検証が困難になる問題を解決する分散配置型 BIST 技術について述べており、従来の集中配置型と比較してチャンネル数が増加しても容易に同期検証が可能であることを明らかにしている。

第 5 章は「**Multi-phase Clock Distribution for Multi-channel Transceiver**」(多チャンネル通信向け多相クロック分配技術) と題し、多チャンネル化に伴う多相クロック分配電力の増加の問題を解決するフィードフォワード型多相クロック発生技術について述べており、多相クロック分配電力を従来比で半減できることを明らかにしている。

第 6 章は「**Clock and Data Recovery for Clock-Embedded Interface**」(クロック多重通信向けクロック再生技術) と題し、外部クロック源を用いないクロック多重通信におけるクロック再生回路の電力増の問題を解決するデジタル周波数比較技術について述べており、従来技術と比較して配線面積を 1/3、通信速度を 4 倍にできることを明らかにしている。

第 7 章は、「**Conclusions and Future works**」(結論及び今後の研究) であり、本論文の結論と今後の研究の方向性を述べている。

以上のように本論文は、大容量通信を実現する上で不可欠となる、高速信号伝送技術、テスト技術、クロック分配技術、クロック再生技術を網羅しつつ、次世代の大容量チップ間通信を実現する上での重要な多くの新規技術を論述しており、電子工学上寄与するところが少なくない。

よって本論文は博士(工学)の学位請求論文として合格と認められる。