

論文の内容の要旨

論文題目 短ミリ波CMOS回路の基盤技術に関する研究

氏 名 高野 恭弥

無線データ通信量は年々増加し、それに伴って無線通信機に要求される通信速度も増加し続けている。高速通信を実現する方法として、広い帯域が使用可能な短ミリ波帯（100-300GHz）を用いる方法が注目を集めている。短ミリ波帯を用いることによって10Gbit/s以上の高速無線通信が可能となる。更に、CMOSプロセスの性能向上に伴って、CMOSで短ミリ波回路を実現することが可能となってきた。しかし、短ミリ波CMOS回路の実現には依然として困難が存在する。まず、CMOSプロセス上で正しい回路・デバイス特性を得ることが困難であることが短ミリ波回路の実現において大きな障害となっている。短ミリ波では波長が3mm以下と非常に短いため、回路やデバイス、配線等を分布定数回路として考える必要がある。そのため、デバイス特性を切り分けることが難しく、従来の方法のままではデバイス特性に大きな誤差が生じることになる。また、短ミリ波回路に合わせてそれを支えるベースバンド回路の性能を向上させることも課題である。短ミリ波回路の動作帯域に応じてベースバンド回路も広帯域にしなければならないが、ベースバンドでは比帯域が大きくなるため、回路設計が困難となる。短ミリ波回路の実現は、プロセス技術の進歩によってMOSFETの性能が上がっているとはいえ、性能が十分であるとは言えず、動作速度を向上させるための技術が必要となる。そこで本研究では、短ミリ波帯CMOS回路を実現するうえで重要となる基盤技術の確立を目的とし、回路・デバイス評価技術の高精度化、短ミリ波帯CMOS無線送受信機用ベースバンド技術の確立、短ミリ波帯で動作するCMOS回路の実現を目指した。

回路・デバイス評価技術の高精度化では、回路やデバイス特性にディエンベディング手法で仮定を用いることによる誤差（ディエンベディング誤差）が生じていても、縦続接続回路においてはディエンベディング誤差が相殺されることを明らかにした。また、ディエンベディング誤差を完全に相殺するために、回路特性にパッドをエンベディングする手法を提案した。図1に概念図を示す。ディエンベディング誤差はデバイスの縦続接続行列の左右から掛けられた行列として表現され、左右の誤差行列は逆行列の関係にある。そのため、デバイスを縦続接続して回路を設計すれば、隣り合うデバイスの誤差行列は掛けられて単位行列になり、相殺される。しかし、縦続接続回路の入出力ポートの誤差行列は相殺することができない。しかし、最後にパッドをエンベディングすると、入出力ポートの誤差行列も相殺され、完全にディエンベディング誤差を取り除くことができる。提案した手法によって、ディエンベディングで用いる仮定によらず回路特性の検証が可能であることをシミュレーションと実測を用いて示した。ディエンベディング誤差があっても回路特性の検証が可能であるということは、デバイス特性が真値でなくても回路設計が可能であるということであり、この概念はデバイス特性の真値を知ることが困難なミリ波・短ミリ波帯の回路設計において有効であると思われる。この技術はパワーアンプや低雑音増幅器のデバイス評価に適用される。

また、縦続接続回路以外ではディエンベディング誤差キャンセル手法が使用できないことから、オンウェハThru-Reflect-Line (TRL) のディエンベディング誤差を減らすことも重要である。そこで、TRLで基準として用いられる伝送線路の特性インピーダンス Z_0 を、損失の大きなCMOSプロセスでも精度よく求めるための手法を提案した。また、 Z_0 を求めるのに用いられる、伝送線路の伝搬定数 γ がThruとLineから求められることを影像パラメータを用いて明らかにした。従来手法では表現されていなかった、 Z_0 の並列アドミタンス成分 Y_p の実部と虚部の周波数依存性を表現するための分布定数回路モデルを提案し、そのモデルと γ を用いて求めた Z_0 の妥当性を実測を用いて示した。提案した分布定数回路モデルを図2に示す。この手法を用いることによって、短ミリ波帯でのディエンベディング誤差が減少し、高精度なデバイス特性が得られるものと期待される。この技術は発振器や変調器、検出器などのデバイス評価に用いられる。

短ミリ波帯CMOS無線送受信機用ベースバンド技術を確立するために、通信速度10Gbpsの短ミリ波帯無線受信機用リミティング増幅器を14.4mWの低消費電力で実現した。このリミティング増幅器は40nm CMOSプロセスを用いて試作された。差動電圧利得は45dB、帯域幅はおよそ6.5GHzであった。回路面積は0.15mm²であった。実現したリミティング増幅器のブロック図を図3に示す。低消費電力化を実現するために、縦続接続された増幅器の段数を1段あたり必要な利得帯域幅が最小になるように設定し、増幅器1段あたりに要求される性能を緩和した。増幅器の段数の増加に伴って増加するDCOCの回路面積を削減するために、DCOCの利得を小さくすることによって必要な容量を減らし、また、MOSキャパシタの上にMOMキャパシタを配置することによって容量の専有面積を削減した。更に、出力バッファをNMOSのみのプッシュプル型にすることによって出力バッファの低消費電力化を実現した。また、広帯域化を実現するためにインダクタピーキング技術を用いた。図4に本研究で実現したリミティング増幅器とこれまでに報告されているリミティング増幅器の利得帯域幅と消費電力の比較を示す。本研究で実現したリミティング増幅器はこれまでに報告されたリミティング増幅器の中でGBW 1GHz当たりの消費電力が最も低く、低消費電力で高利得、広帯域動作を実現できている。実現したリミティング増幅器によって、短ミリ波帯無線受信機の低消費電力化、小面積化を実現できるものと期待される。

短ミリ波帯で動作するCMOS回路の実現では、電源注入同期を用いたリングタイプ型周波数分周器 (RILFD) を提案した。図5に提案したRILFDの回路図を示す。電源から注入同期を行うことによって回路面積の小型化、高速化を実現し、これまでに報告された注入同期周波数分周器 (ILFD) の中で最小の面積で、リング型としては最高の動作周波数151.3GHzを実現した。図6に提案したRILFDとこれまでに報告されたILFDの最大動作周波数を関数としたコア面積の比較を示す。このRILFDは1P8M 40nm CMOSプロセスを用いて試作され、コア面積は $8.8 \times 5.3 \mu\text{m}^2$ である。ロッキングレンジは電源電圧1.6Vのとき、140.7GHzから151.3GHzまでの10.6GHz、7.3%であった。電源電圧を1.1Vから1.6Vまで変化させることによって133.3GHzから151.3GHzまで動作させることができ、チューニングレンジは18GHzであった。消費電力は電源電圧1.6Vのとき12mWであった。位相雑音は1MHzオフセットで-135.6dBc/Hzであった。提案されたRILFDは短ミリ波帯無線送受信機の小型化、高速化に貢献できるものと期待される。

これらの成果により、短ミリ波帯CMOS回路の基盤技術を確立することができた。短ミリ波対象受信機における、本研究によって得られた成果のまとめを図7に示す。本研究は、高速大容量通信を実現する短ミリ波帯無線通信システムの早期実現を可能とし、高度情報化社会の発展に貢献できるものと期待される。

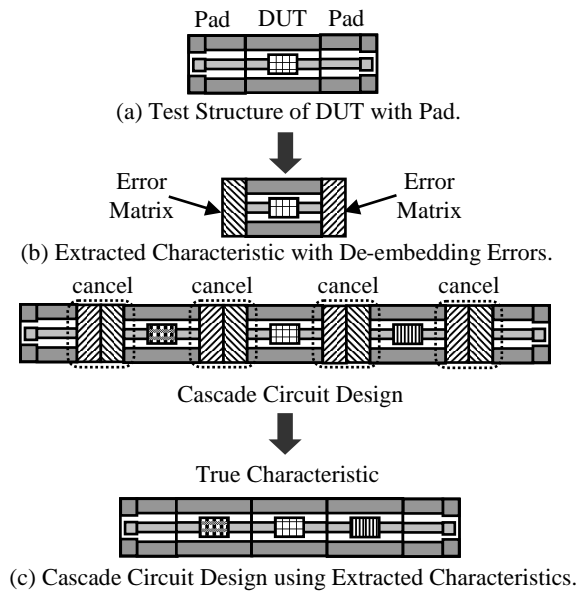


図1. デイエンベディング誤差キャンセルの概念図

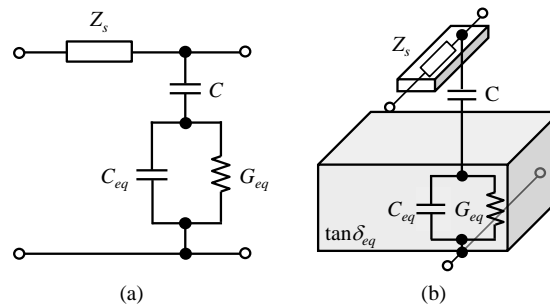


図2. 提案する伝送線路の (a) 分布定数回路 (b) マイクロストリップラインモデル

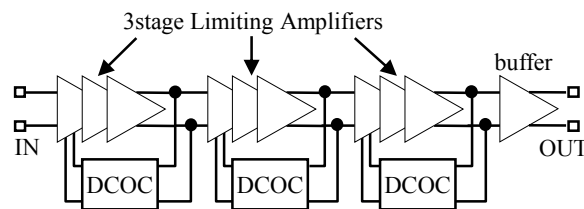


図3. 実現したリミティング増幅器のブロック図

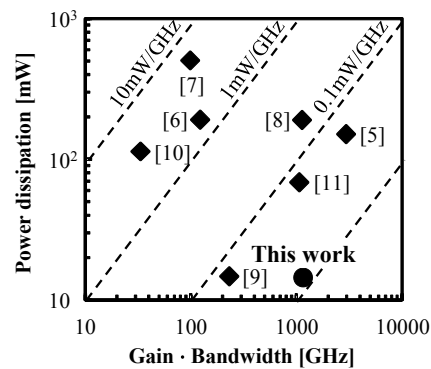


図4. 本研究で実現したリミティング増幅器とこれまでに提案されているリミティング増幅器の利得帯域幅と消費電力の比較

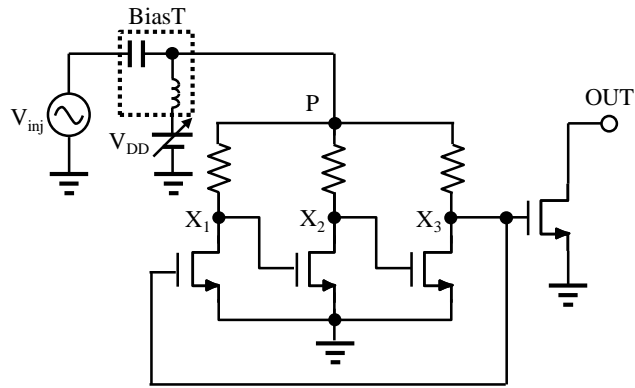


図5. 提案する電源注入同期型周波数分周器の回路図

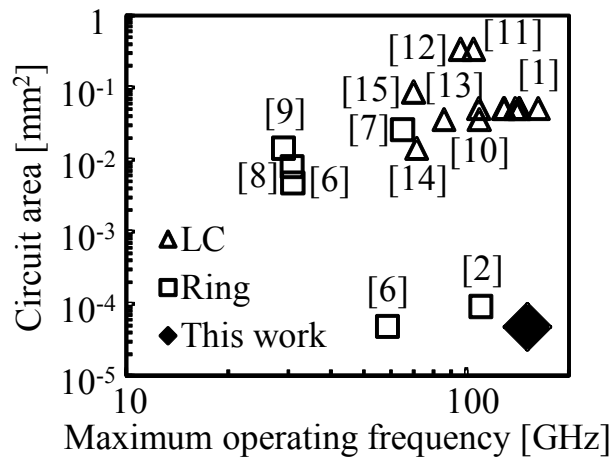


図6. 提案した電源注入同期型周波数分周器とこれまでに報告されている注入同期型周波数分周器の最大動作周波数を関数としたコア面積の比較

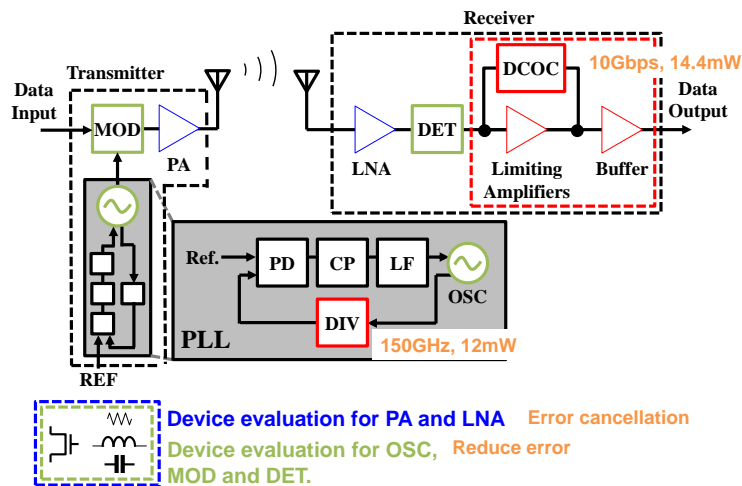


図7. 短ミリ波無線送受信機における本研究の成果