

審査の結果の要旨

氏名 高野 恭弥

本論文は「短ミリ波 CMOS 回路の基盤技術に関する研究」と題し、短ミリ波 CMOS 回路を実現するための基盤技術の確立を目的としている。回路・デバイス評価技術の高精度化、短ミリ波帯 CMOS 無線送受信機用ベースバンド技術の確立、短ミリ波帯で動作する CMOS 回路について述べており、全6章で構成されている。

第1章は「序論」である。まず、短ミリ波帯を用いることによって 10Gbps 以上の高速無線通信が可能となることについて述べている。次に、短ミリ波 CMOS 回路の実現に向けた課題を例示しつつ本研究の背景を述べ、本研究の目的を明確化している。

第2章は「ディエンベディング誤差キャンセル」と題し、ディエンベディング誤差を含むデバイスモデルを用いても、その誤差がキャンセルできることを示した。短ミリ波を含む高周波回路において、ディエンベディング誤差を含むデバイスモデルを用い縦続接続回路を再合成すると、ディエンベディング誤差はデバイスの縦続接続行列の左右から掛けられた行列として表現される。左右の誤差行列は逆行列の関係にあるため、デバイスを縦続接続して回路を設計すれば、隣り合うデバイスの誤差行列は、掛けられて単位行列になり相殺される。本研究により、ディエンベディング誤差によりデバイス特性の真値を知ることが困難な短ミリ波帯においても、縦続接続回路では設計後の性能を正しく見積もることが可能であることを理論的に示した。

第3章は「CMOS オンウェハ Thru-Reflect-Line の高精度化」と題し、ディエンベディング誤差キャンセル手法が使用できない縦続接続回路以外において、オンウェハ Thru-Reflect-Line (TRL) のディエンベディング誤差を減らす手法を提案している。本提案手法では、従来手法では表現されていなかった、損失の大きなシリコン基板上の伝送線路の並列アドミタンス成分の実部と虚部の周波数依存性を表現する分布定数回路モデルを提案し、短ミリ波帯でのディエンベディング誤差が減少し、高精度なデバイス特性が得られることを実証した。

第4章は「短ミリ波帯無線送受信機用リミティング増幅器」と題し、短ミリ波帯 CMOS 無線送受信機用ベースバンド技術を確立するために、通信速度 10Gbps の短ミリ波帯無線受信機用リミティング増幅器の低電力化について述べている。提案回路では、低電力化を実現するために増幅段数、DC オフセット回路、出力バッファの最適化を実施したのち、40nm CMOS プロセスを用いて試作検証を行い、通信速度 10Gbps のリミティング増幅器を 14.4mW の低消費電力で実現した。本試作結果は、これまでに報告されたリミティング増幅器の中で GBW 1GHz 当たりの消費電力が最も低く、低消費電力で高利得、広帯域動作であることを示した。

第5章は「150GHz CMOS 電源注入同期型周波数分周器」と題し、電源注入同期を

用いたリングタイプ型周波数分周期(RILFD)について述べている。提案した RILFD では、電源から注入同期を行うことによって回路面積の小型化、高速化を実現し、これまでに報告された注入同期周波数分周器(ILFD)の中で最小の面積で、リング型としては最高の動作周波数 151.3GHz を実現している。本提案の RILFD を用いることにより、短ミリ波帯無線送受信機の小型化、高速化に貢献できることを示した。

第6章は「結論」であり、本研究の成果を要約し結論を述べている。

以上のように本論文では、短ミリ波帯 CMOS 回路を実現するうえで必要となる、デバイスおよび回路評価を高精度化する方法を提案した。さらに、短ミリ波帯 CMOS 無線送信器用の 10Gbps リミティング増幅器を低消費電力で実現したほか、短ミリ波帯で動作する CMOS 回路として、電源注入同期を用いたリング型周波数分周器を実現した。本研究は、短ミリ波帯 CMOS 回路の基盤技術を確立し、高速大容量通信を実現する短ミリ波帯無線通信システムの発展に貢献するものであり、電子工学への寄与が少なくない。

よって本論文は博士(工学)の学位請求論文として合格と認められる。