

## 審査の結果の要旨

氏名 張 睿

本論文は、Formation of Ge Gate Stack Structures by Plasma Post Oxidation and Their Applications to Ge CMOS Devices (和訳: プラズマ後酸化による Ge ゲートスタック構造の形成と Ge CMOS 素子への応用)と題し、将来の高性能 MOSFET のチャネルとして期待されている Ge の MOS 界面特性向上のための界面制御技術と MOS 界面特性、及びこの界面を CMOS に適用することで実現された MOSFET の電気特性に関する研究成果を纏めたもので、全文 9 章よりなり、英文で書かれている。

第 1 章は、序論であり、本研究の背景について議論すると共に本論文の構成について述べている。

第 2 章は、「Fabrication and Devices Analyzing Techniques in This Research」と題し、本研究において素子作製に用いた ALD (Atomic Layer Deposition) 法の原理、物理解析に用いた XPS (X-ray Photoelectron Spectroscopy) 法や界面準位、移動度の電気評価手法について述べている。

第 3 章は、「Suppression of ALD Induced Damage to GeO<sub>2</sub>/Ge MOS Interfaces by In-Situ Plasma Nitridation」と題し、GeO<sub>2</sub> 界面層上への ALD 膜堆積時に発生する界面劣化を抑制する方法として、GeO<sub>2</sub> 表面をプラズマ窒化する方法を提案し、MOS 界面特性の向上の結果およびこの方法によるゲート絶縁膜薄膜化の限界について述べている。

第 4 章は、「Plasma Post Oxidation of Al<sub>2</sub>O<sub>3</sub>/Ge Structures」と題し、極薄の等価ゲート絶縁膜厚 (Equivalent Oxide Thickness(EOT)) の Ge ゲート絶縁膜を実現する方法として、Ge 上に直接堆積した Al<sub>2</sub>O<sub>3</sub> の上から ECR (Electron Cyclotron Resonance) 酸素プラズマによる酸化を行い、Al<sub>2</sub>O<sub>3</sub> と Ge の間に Ge 酸化膜を形成する方法を提案し、この方法により形成された界面層の構造を明らかにすると共に、原子層オーダーでの Ge 界面の酸化が実現できることを実験的に明らかにしている。

第 5 章は、「Electrical Properties of Al<sub>2</sub>O<sub>3</sub>/GeO<sub>x</sub>/Ge Gate Stacks」と題し、第 4 章にて提案された方法で作製した MOS 界面の界面特性、特に界面準位と Ge 酸化膜界面層との関係を定量的に調べ、Ge 酸化膜界面層膜厚によって、界面準位が統一的に決定されることを明らかにしている。

第 6 章は、「High Mobility and Thin EOT Ge CMOS Devices with the Al<sub>2</sub>O<sub>3</sub>/GeO<sub>x</sub>/Ge Gate Stacks」と題し、第 4 章で提案された Ge ゲートスタック構造を用いて、Ge n-MOSFET および p-MOSFET を作製し、その電気的特性を調べた結果を示している。提案した方法による優れた MOS 界面特性を反映して、0.98 nm の EOT をもつ(100)Ge 上の n-MOSFET と p-MOSFET において、それぞれ、693 cm<sup>2</sup>/Vs と 401 cm<sup>2</sup>/Vs という高いピーク値の電子および正孔移動度が実現できることを示している。

第 7 章は、「Mobility Degradation Mechanism and Mobility Improvement in Ge MOSFETs in High N<sub>i</sub> Region」と題し、Al<sub>2</sub>O<sub>3</sub>/GeO<sub>x</sub>/Ge MOSFET の移動度の決定機構、特に高誘起キャリア濃度領域での移動度低下の機構を明らかにするため、ホール測定及び移動度の温度依存性の評価を行い、バンド内界面準位の影響と表面ラフネス散乱の影響があることを明らかにすると共に、低温酸化を用いた界面凹凸の低減によって、移動度が向上することを示している。

第 8 章は、「Aggressive EOT Scaling by Plasma Post Oxidation of HfO<sub>2</sub>-based Gate Stacks」と題し、EOT の更なる低減のため、HfO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub>/Ge をプラズマ後酸化することにより、0.8 nm 前後の EOT の HfO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub>/GeO<sub>x</sub>/Ge 構造が実現できることを示し、この方法を用いて 0.82 nm の EOT の下で、754 cm<sup>2</sup>/Vs と 596 cm<sup>2</sup>/Vs という高い移動度の Ge n-MOSFET と p-MOSFET が実証できることを示している。

第 9 章は、結論と今後の展望を述べている。

以上要するに本論文は、将来の高性能 MOSFET のチャネル材料として期待されている Ge の MOS 界面特性向上と EOT 低減を両立できる界面制御技術として、Ge 上に Al<sub>2</sub>O<sub>3</sub> 及び HfO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub> を堆積した後、ECR 酸素プラズマを照射することによって Ge MOS 界面に Ge 酸化層を形成する方法を提案し、1 nm 以下の EOT においても極めて低い界面準位密度を実現し、このゲートスタック構造を用いた高移動度の n-チャネルおよび p-チャネル MOSFET の動作実証を行うと共に、作製された界面の構造とそれが MOSFET の電気特性に及ぼす影響を明らかにしたものであり、電子工学上、寄与するところが少なくない。

よって本論文は博士 (工学) の学位請求論文として合格と認められる。