

## 論文の内容の要旨

論文題目 Study on Integration of Single-Electron Transistors and CMOS Circuits  
(単電子トランジスタとCMOS回路の集積化に関する研究)

氏名 鈴木 龍太

この数十年、電子機器の急激な進化は社会の情報化に大きく貢献してきたが、それを可能にした要因の1つが、電子機器において演算機能を担うCMOS LSIの微細化による性能向上であった。しかしながら、近年ではCMOSの微細化によって生じる諸問題により、以前程には微細化による性能向上が望めなくなった。そこで、新材料や新構造の導入により、微細化に伴う問題を抑えつつ更なる微細化を目指すという努力がこの10年間続けられおり、今後も続けられていくものと予想される。このように、LSIの性能向上をMOSFET自体の微細化と性能向上により達成する”More Moore”と呼ばれるアプローチに対し、”Beyond CMOS”という新たなアプローチが提唱されている。これは、既存のCMOS LSIに、MOSFETとは異なる素子を取り込むことによってLSIの情報処理能力に量的あるいは質的向上をもたらすことを目的とする。Beyond CMOSを実現するためのデバイスの候補はこれまでも多数提案されてきたが、その1つに単電子トランジスタ(Single-Electron Transistor; SET)がある。SETはソース-ドレイン間の電流をゲート電圧で制御する3端子電子デバイスであるが、その動作原理や特性は従来CMOS LSIに用いられてきたMOSFETとは大きく異なる。SETの動作はナノスケール特有の物理に基づいており、究極的な微細化を実現できると期待されている。また、その $I_d$ - $V_g$ 特性はクーロン振動と呼ばれ、それを有効に利用することにより従来のMOSFETのような単純なON/OFF動作よりも効率的な情報処理を実現できる可能性がある。

本研究では、従来からCMOS LSIに用いられているSi基板上に作製可能な、シリコンシリコンナノワイヤチャネルを有するSETに着目する。素子の構造自体はシリコンナノワイヤFETとほぼ同様であり、作製に当たっては既存のCMOS技術の多くをそのまま用いることができる。この素子は特定の条件下ではFETではなくSETとして動作する。素子が室温においてSETとして動作するためには、ソースとドレインの間に、トンネル障壁を介して電気的に分離されたドットと呼ばれる極微細構造が必要である。SETの最大動作温度はドットの大きさによって決定され、LSI応用が想定する室温以上の動作には大きさ数nm以下のドットが必要である。幅3nm以下の極細シリコンナノワイヤをチャネルとする素子は、チャネル中に僅かにでも形状揺らぎが存在すると、狭窄部において局所的に強い量子閉じ込め効果が発生し、ドットとトンネル障壁が形成され、室温においてSETとして動作する可能性がある。しかし、現状の微細加工技術では、そのような微細構造を再現性よく得ることは容易ではなく、仮に室温で動作するSETが得られたとしても、その特性ばらつきは大きい。素子の歩留まりを向上させるためには、微細ドットの形成メカニズムについて十分な理解が必要であるが、いまだ不明確な点が多い。シリコンナノワイヤチャネルSETに限らず、室温動作SETを歩留まりよく作製できたという報告はこれまでに存在しない。

一方で、SETを用いて情報処理を行うためには、ある程度特性が揃ったSETが複数必要である。しかし、現状ではその要求を満たすことは容易ではない。加えて、SETの特性は、電流駆動力が数桁低いなど、従来のMOSFETとは大きく異なるため、どのように回路を構成し、どのように応用するかという点についても議論が必要である。室温におけるSET単体の動作報告は10年以上前からいくつものグループにより報告されてきたのに対し、以上のような理由から、SETの回路応用の研究はさほど進んでいない。SETの回路応用を妨げているSETの電流駆動力の低さや特性ばらつきの大

きさ等を解決する手段として、CMOS との集積化が挙げられる。SET の特徴である高集積度を生かす一方で、高性能で信頼性の高い CMOS 回路で信号の増幅や素子特性の補正を行うことで、SET と CMOS のそれぞれの長所を生かした効率的な情報処理が実現できると期待される。このように、CMOS と SET の様な新規デバイスを集積化することで LSI の性能向上を目指すのは、まさに Beyond CMOS が目指すところである。既存の CMOS LSI 製造技術との互換性という点において、シリコンをベースとする SET は有利であるといえる。

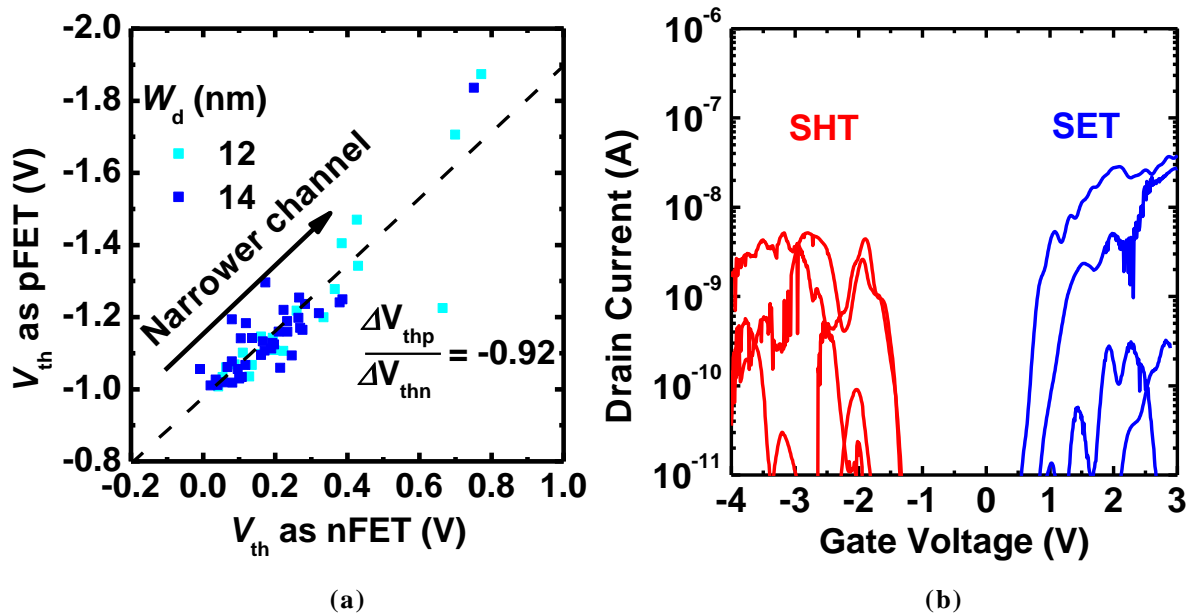
以上のような観点より、本研究はシリコン SET の作製プロセス改善により歩留まり向上を図るとともに、室温動作 SET と CMOS と集積化する上での障害を取り除き、両者を集積した上での回路動作を室温にて実証することを目的とする。

微細なシリコンナノワイヤチャンネル中における SET のドット形成メカニズムについて解明を進めた。キャリアに正孔を用いる単正孔トランジスタ(SHT; Single-Hole Transistor)の方が SET よりも大きなクーロン振動を示す素子が得られやすいということが、これまでに実験的に示されてきたが、その理由については十分に解明されていなかった。シリコンナノワイヤチャンネル SET/SHT においては、ドットの形成に量子効果が大きく関わっていると考えられてきた。そのため、(100) SOI 基板上に<110>と<100>方向のナノワイヤチャンネルを有する素子を作製することにより、側面の面方位とキャリアの極性による量子効果の違い、そしてトンネル障壁とドットの形成への影響について統一的に議論することを試みた。結果、<110>チャンネルの場合は、チャンネル幅が細くなるとナノワイヤ nFET が pFET よりも大きなしきい値上昇を示した。また SHT としては動作せず、SET としてのみ室温で明瞭なクーロン振動を示す素子が複数得られた。これらの結果は、<110>チャンネル中の電子に対する量子閉じ込め効果が大きく、SHT よりも SET の方が障壁とドットが形成されやすいことを示している。一方で、<100>チャンネルの場合は、nFET と pFET のしきい値上昇は同程度であり、量子閉じ込め効果によって形成される障壁高さも同程度であると考えられる(Fig. 1a)。しかしながら、SET よりも SHT として動作させたときに巨大なクーロン振動を示す素子が複数見られた(Fig. 2b)。これは SHT においてより多くのドットが形成されていることを示している。このようにドットの形成にキャリア極性依存性が表れる原因の1つとして、チャンネル近傍電荷による寄生トンネル障壁の形成が考えられる。これまでに SHT の方がクーロン振動が大きなデバイスが得られやすいことが指摘されてきたが、特性ばらつきの観点からすれば、このような現象が発生しにくい SET の方が回路応用に向いていると結論付けられる。

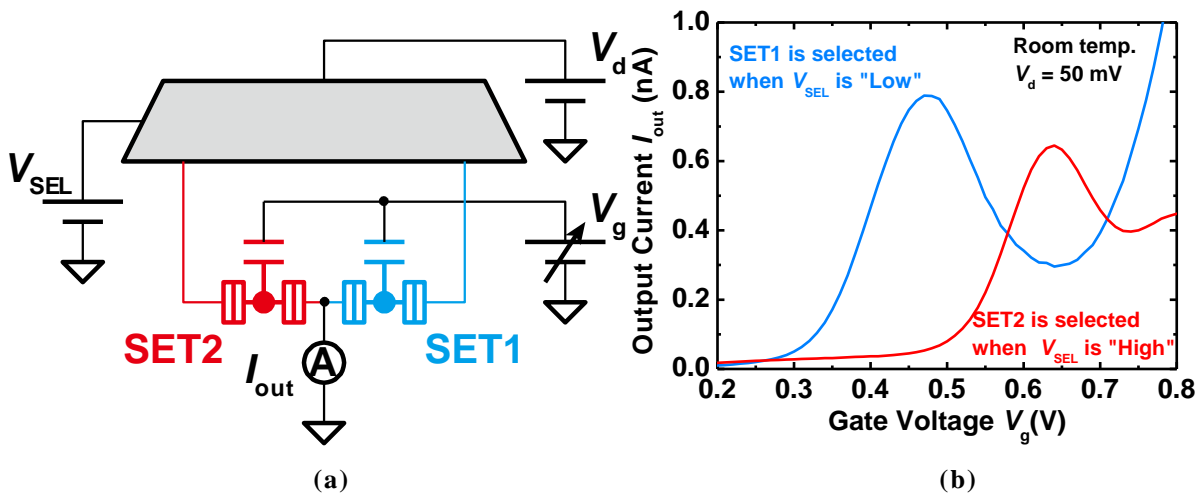
SET の集積回路応用に向けて、SET と CMOS を集積化する上での問題点を改善した。シリコンナノワイヤチャンネル SET の作製プロセスはナノワイヤ FET のそれとほぼ同じであり、既に CMOS 互換性は達成されているように見える。しかし、従来の室温動作 SET 作製プロセスで作製した MOSFET は寄生抵抗が極めて大きく、またノーマリ・オン動作を示すため CMOS 回路の性能が劣化するという問題点が存在した。そこで本研究では、従来の室温動作 SET 作製プロセスを改良し、これらの問題を解決した。結果、室温動作 SET と同一基板上に良好な電流駆動力を示す n/pMOSFET を集積することに成功した。これらの素子の寄生抵抗はチャンネル抵抗に比べて十分低く抑えられており、またその移動度はユニバーサル移動度と比較しても遜色のない値であった。また MOSFET のノーマリ・オフ動作も実現し、インバータや NAND、NOR 等の基本的な CMOS 論理回路を構成したところ正常な動作が確認された。

SET と CMOS を集積化した回路の動作を室温にて実証した。6 個の MOSFET からなる CMOS セレクタを SET と組み合わせ、2 つの入力電圧のうち 1 つを CMOS セレクタを介して選択的に SET のゲートに印加するという動作を実証した。さらに、CMOS セレクタに接続された 2 つの SET のうちの 1 つの出力電流を選択的に読み出せることも示した(Fig. 2)。

以上、本研究では、SET と CMOS を集積化した情報処理を実現すべく、室温動作 SET の歩留まり改善と CMOS 互換性の向上を目指して研究を行った。その結果、SET の歩留まり向上のために適したデバイス構造について知見を得た。また、小規模ではあるが SET と CMOS セレクタ回路を集積化した回路の動作を室温にて実証した。



**Fig. 1** (a)  $\langle 100 \rangle$ 方向共通ナノワイヤチャンネル FET のしきい値の測定結果。共通チャンネル構造により、1つのデバイスは nFET としても pFET としても動作する。チャンネル幅が細くなるに従い nFET としても pFET としても量子閉じ込め効果によりしきい値は上昇するが、その大きさは同程度である。(b)  $\langle 100 \rangle$ 方向共通ナノワイヤチャンネル SET/SHT のクーロン振動特性。SHT 動作時により巨大なクーロン振動が現れているが、量子閉じ込め効果による障壁形成のみではこの差異は説明できない。



**Fig. 2** (a) CMOS セレクタと2つの SET のアレイから構成される回路。(b) 測定された SET アレイの出力電流。選択信号 SEL に応じて、出力電流に現れるクーロン振動ピークが異なっている。これは2つの SET のうち1つに選択的にアクセスできることを示している。