

論文の内容の要旨

高速低電力ソリッド・ステート・ドライブ向け電源回路の研究 Power supply circuit design for high-speed low-power solid-state drive

畑中 輝義

本論文では、ソリッド・ステート・ドライブ(SSD)の高速化、低電力化を実現する電源回路技術を提案する。さらに、電源回路とSSDの3次元実装に関する課題、および知見を示す。それにより、3次元集積されたSSD (3D-SSD)の電力削減に対する有効性を示す。

今日のインターネット上の情報量の増大は、情報通信機器の消費電力の顕著な増大を招いている。SSDは高速、低電力の不揮発性記憶装置として期待され、パソコンやサーバーに用いられている。従来のNANDフラッシュメモリに加えて、抵抗変化型メモリ(ReRAM)を用いたSSDは、SSDのさらなる高速化、高性能化をもたらす可能性がある。

SSDの電力削減に寄与する研究領域として、NANDフラッシュメモリやReRAMへの書き込み電圧生成回路の低消費電力化が挙げられる。NANDフラッシュメモリの書き込み動作では、20 V (V_{PGM})から10 V (V_{PASS})などの電源電圧よりも高く昇圧された電圧が必要である。また、ReRAMの書き込み動作においては3 V ($V_{\text{SET/RESET}}$)の電圧が必要である。さらに、ReRAMではデータ書き換えの際に20 mA程度の電流が必要となる。したがって、SSD向け書き込み電圧生成回路の設計課題は、複数・広範囲にわたる書き込み電圧および電流を、高速かつ低消費電力で生成することである。また、電源回路とSSDの3次元実装を検討する際に、電磁干渉(EMI)や、シリコン貫通電極(TSV)配線の寄生成分が、電源回路や隣接チップに与える影響を評価することが必要である。

本研究ではまず、NANDフラッシュメモリ3D-SSD向けの書き込み電圧生成回路の性能向上を行なった。選択書き込み電圧 V_{PGM} 生成ブーストコンバータ向けに、一定電流昇圧手法を提案した。出力電圧の昇圧に伴うMOSダイオードにおけるスイッチングエネルギーロスを、スイッチングクロックのオン時間(T_{ON})を徐々に増加させることにより補償し、出力端子への供給電流を一定にする手法である。本手法により、従来の固定 T_{ON} を用いた昇圧と比較して、 V_{PGM} ブーストコンバータの昇圧時の消費エネルギーを、15%削減できることを示した。また、高負荷を充電する非選択書き込み電圧 V_{PASS} 生成ブーストコンバータの昇圧立ち上がり時間を削減するために、2段階昇圧手法を提案した。ブーストコンバータの昇圧性能の入力電圧依存性を有効に利用し、また、各段において適切な耐圧のMOSトランジスタを配置することで、従来型と比較して消費エネルギーの増加なく、昇圧立ち上がり時間を76%削減した。

続いて、ReRAM/NANDフラッシュメモリハイブリッド3D-SSD向けの書き込み電圧生成回路を開発した。ReRAM向けの書き込み電圧 $V_{\text{SET/RESET}}$ を、NANDフラッシュメモリ3D-SSDからインダクタの追加をすることなく、生成することを可能とした。単一インダクタで2つのブーストコンバータを構成し、 $V_{\text{SET/RESET}}$ と V_{PGM} を同時に昇圧、

同時に出力することが可能である。インダクタンスの設計を適切に行なうことで、ブーストコンバータ間の干渉を抑えた。また、2つのインダクタを用いる従来型と比較して、昇圧立ち上がり時間や消費エネルギーの増加は無視できるほど小さい。本手法は、従来型の単一インダクタ2出力ブーストコンバータとは異なり、追加のスイッチを用いる時分割の昇圧手法ではない。したがって、2つの出力電圧の昇圧時間は遅延なく、両方とも最短にすることができる。

さらに、本研究では提案する電源回路の実用化に向けて、書き込み電圧生成回路とSSDの3次元集積に関する基礎検討、評価を行なった。3次元集積では、各チップ同士または電氣的な素子との縦方向の距離が平面での集積よりも接近する。そこで、書き込み電圧生成回路/シリコンチップ/導体といった3次元積層構造を作製し、書き込み電圧生成回路の出力性能の評価を行なった。昇圧動作時にインダクタは上空3 mm程度の領域に磁界を発生させることが分かった。磁界中に導体があると渦電流により逆方向磁界が発生するため、実効的なインダクタンスが低下する。これにより、インダクタ上空0.84 mm以内に導体がある場合には、 V_{PGM} 生成ブーストコンバータ最大出力電圧は11 V程度まで低下することが観察された。書き込み電圧生成回路/シリコンチップ/導体の積層構造の場合は、シリコンチップの厚みが1.02 mm以上あれば、20 Vまで昇圧可能であることを実証した。測定結果に基づき、NANDフラッシュメモリチップを100 μm ピッチで12チップ積層すると十分な厚みとなり、提案する電源回路で3次元積層時においても書き込み電圧の生成が可能であることを示した。

結果として、ReRAM/NANDフラッシュメモリハイブリッド3D-SSD向け書き込み電圧生成回路の高速化、低電力化を実現し、3次元積層時における昇圧動作を実証した。