

論文の内容の要旨

論文題目 信号品質および電源品質を考慮した集積回路試験技術の研究

氏名 石田 雅裕

1. 序論

近年、高速なシリアルインターフェイス (I/F) の開発がすすんでおり、10 Gbps を超える伝送レートが実現されている。また、最近の高速シリアル I/F は、バイナリ伝送にとどまらず、信号レベルを多値化して伝送レートを向上する動きもある。

高速シリアル I/F システムは、一般に、送信器と受信器で構成される。送信器は、クロック発生器で生成されるソースクロックに同期して伝送データを出力する。一方、受信器は、送信された信号を適切なタイミングでサンプリングすることにより送信データを復元する。最近の高速シリアル I/F では、エンベデッドクロック方式が主流であり、送信信号のタイミング情報は送信信号に埋め込まれて送信される。このタイミング情報は、受信器に組み込まれたクロック再生回路で再生され、送信信号のサンプリングにもちいられる。

高速シリアル I/F の信号品質は、送信データのビット誤りに影響する。信号品質とは、一般に信号の電圧ノイズとジッタを含む。これらは、主に被試験デバイスの電源品質を原因としている。このため、高速シリアル I/F の試験においては信号品質や電源品質が重要であり、信号品質および電源品質を考慮した試験技術が要求される。

2. ジッタ測定方法

送信器デバイスの試験では、送信器の出力信号に生じる信号品質の測定が重要である。近年では、I/Fの高速化にともないデータ伝送に必要なタイミングマージンが減少しているため、ジッタの測定がとくに重要となっている。また、最近の高速シリアル I/F のジッタ試験においては、低周波領域のジッタを除去することが要求されており、ジッタの時間波形を測定することが必要となっている。

第 2 章では、被測定信号のジッタを測定する新しい方法について論じる。はじめにさまざまなジッタに関する定義と各種ジッタ間の関係式をあたえ、つぎにジッタ測定方法を提案する。提案するジッタ測定法は、サンプリングされた被測定信号に解析信号理論を適用し、信号の位相雑音成分を復調することにより、被測定信号におけるジッタをもとめる。提案手法は、ジッタの時間波形を測定できるため、ジッタの RMS 値やピークツウピーク値を算出するだけでなく、ジッタ波形のプロファイル解析、周波数成分解析、ヒストグラム解析も可能である。被測定信号がクロック信号のとき、提案手法は、被測定クロック信号の位相雑音、タイミングジッタ、周期ジッタ、サイクルツウサイクル周期ジッタをすべて同時に測定できる。提案手法は、信号エッジの間隔が不規則なデータ信号にも適用でき、データジッタも測定できる。さらに、提案手法は、クロック分配回路における複数の信号間のスキュー測定にも応用できる。さまざまな実験データにより、提案手法の実用性と性能を検証する。

3. ジッタ測定回路

一般に、高速シリアル I/F の内部クロックのような高速なオンチップクロック信号をチップ外に取り出すことは困難である。とくに、受信器の高速な再生クロック信号は、信号の劣化を避けるため、外部からアクセスすることが困難になっている。このため、ジッタに影響する支配的な雑音源を特定し、高速シリアル I/F の性能を向上するためには、クロックジッタの高精度なオンチップ測定が不可欠である。従来のジッタ測定回路は、ジッタを測定するためにリファレンスクロックをもちいているが、オンチップでジッタのないリファレンスクロックを発生することは不可能であるため、ジッタを正しく測定できないという問題がある。

第 3 章では、オンチップに搭載可能な新しいジッタ測定回路方式を提案する。提案方式は、第 2 章において導出されたタイミングジッタと周期ジッタの関係を示す理論に基づいており、ジッタ測定にリファレンスクロックを必要とせず、被測定信号のタイミングジッタをリアルタイムに測定することが可能である。提案回路は、周期ジッタ測定回路と積分器の組み合わせで構成され、回路サイズが非常に小さいため、被試験デバイス内にオンチップ試験回路として組み込むことが可能である。また、提案手法を、データ信号のタイミ

ングジッタ測定に拡張する回路方式についても議論する。CMOS プロセスで実装したプロトタイプ回路をもちいた実験結果から、提案回路がクロック信号およびデータ信号のタイミングジッタを高速・高精度に測定できることを示す。

4. ジッタ耐力試験技術

受信器の試験においては、入力信号の信号品質劣化に対して受信器デバイスが正常に動作することを試験する耐力試験が重要である。従来の耐力試験は、受信器デバイスの正常動作を（ 10^{-10} 程度の）非常に低いビット誤り率で判断するため、試験時間が非常に長いという問題がある。試験コスト低減のために、高速な耐力試験が要求されている。

第 4 章では、新しいジッタ耐力試験法を提案する。提案手法は、入力データ信号のタイミングと入力データからクロック再生回路で再生されたクロック信号のタイミングミスアライメント解析に基づいて、受信器デバイスのジッタ耐力値を高速に推定する。この新しい試験アプローチは、信号のタイミング解析に第 2 章で述べたジッタ測定技術を利用している。タイミングミスアライメント解析の結果から、クロック再生回路のジッタ伝達関数に基づく受信器デバイスのビット誤り率およびジッタ耐性値の計算式を導く。この計算式をもちいることにより、ビット誤り率を直接測定する従来のジッタ耐性試験法に比べ、ずっと短い試験時間で受信器のジッタ耐性を推定することができる。サイン波ジッタをもちいた実験により、この新しい方法が従来のジッタ耐性試験と互換のある結果をあたえ、同時に試験時間を $1/20$ に削減できることを示す。さらに、ランダムジッタをもちいた実験により、提案手法が従来のジッタ耐性試験に比べ試験時間を $1/200$ に削減できることを示す。

5. 多値信号試験技術

近年、高速シリアル I/F の伝送レートは 10 Gbps を越えようとしており、数年後には 16 ~20 Gbps 程度の伝送レートが必要となる。伝送メディアの帯域を有効利用し、伝送レートをさらに向上する有効な技術として、振幅方向に多重化する多値伝送方式が検討されている。多値伝送においても、信号品質は重要な試験項目であり、バイナリ伝送と同様に電圧ノイズとジッタに対する試験が重要となる。しかし、既存の試験技術や ATE システムはバイナリ伝送の試験に最適化されており、多値信号を効率的に試験できる方法は提案されていない。

第 5 章では、多値信号 I/F における信号品質をリアルタイム試験する方法を提案する。提案手法は、多値信号送信器の出力信号に対する品質試験（電圧マージン試験およびジッタマージン試験）と、多値信号受信器の入力信号品質に対する耐力試験（電圧ノイズ耐力試験およびジッタ耐力試験）をリアルタイムに実現する唯一の方法である。提案手法は、多値レベルを発生するドライバと新しい方式に基づく多値レベルコンパレータを用いる。多

値レベルドライバは、出力信号レベルを変調することにより送信器デバイスの電圧ノイズ耐力試験を可能とする。多値レベルコンパレータは、しきい値電圧レベルを被試験信号の期待値に応じて動的に変化させることにより、従来システムと同じコンパレータ数で多値信号送信器の出力電圧マージン試験を実現できる。プロトタイプ回路をもちいた 16 Gbps 4-PAM テストシステムのコンセプト実証実験の結果を示す。本方式の利点・欠点、応用についても議論する。

6. 信号品質制御技術

近年、ATE でのテスト環境とデバイスが搭載される実機環境では、デバイスを駆動する電源の特性が異なるため、電源変動が大きく異なることが問題となっている。電源品質は信号品質に影響をあたえる主要な要因のひとつであり、実機における信号品質を正しく試験するには、ATE 環境で実機の電源変動を精確に模擬する必要がある。

第 6 章では、被試験デバイスの電源電圧変動を動的に制御する電源品質制御技術を提案する。提案方法は、試験において被試験デバイスの電源電流、電源電圧変動は予測可能であることを利用し、ATE と実機の電源電圧波形の差を補償するのに必要な電流を電源ノードに加算することにより、電源電圧波形を予測制御する。デバイス電源の特性を表すインパルス応答とターゲット電圧波形から、電源ノードに加算すべき補償電流の算出する方法を示す。提案方式は、従来の電源の応答速度を超える MHz 帯域の電源電圧制御機能を提供することにより、実機の電源を模擬するだけでなく、電源電圧を安定化や任意波形の電源ノイズ印加を実現できる。これにより、電源の違いによって生じていた試験結果の乖離を低減することができ、ATE 環境において実機における信号品質を精確に試験することが可能となる。プロトタイプ回路をもちいた実験により、電源電圧変動を所望の変動波形に 2.4 mV_{PP} 未満（電源電圧 2.1 V の 0.12% 未満）の誤差で制御できることを示し、提案した電源電圧制御方式のコンセプトを実証する。さらに、本方式の限界・応用についても議論する。

7. 結論

本論文では、信号品質および電源品質を考慮した試験技術について議論した。半導体システムの性能向上に伴い、高速シリアル I/F に要求される伝送速度は今後さらに高くなることが予想され、高速シリアル I/F の試験において信号品質および電源品質の解析がより重要となる。本論文で述べた信号品質および電源品質に対する試験技術を組み合わせることにより、高速シリアル I/F に対するより高品質な試験ソリューションの提供が期待できる。今後の課題は、複数の提案試験技術を統合した高速シリアル I/F のトータル試験ソリューションを提供することである。