

審査の結果の要旨

氏名 石田 雅裕

本論文は「信号品質および電源品質を考慮した集積回路試験技術の研究」と題し、集積回路の高速信号伝送性能を決定する主要素の信号ジッタと電源品質についてその高効率測定手法と制御技術について研究したもので、7章から構成されている。

第一章は序論であり、本研究の背景となっている集積回路における高速シリアル伝送方式の技術動向を述べ、高精度なタイミング試験のためのジッタ測定と電源雑音制御の必要性について述べている。

第二章は「ジッタ測定方法」と題し、従来のジッタ測定法に代わる新しいジッタ測定方法について述べている。ジッタに関する定義と各種ジッタ定義の関係式をあたえ、関係式に基づき離散的被測定信号に複素信号理論による信号処理を適用して信号位相雑音成分を検出する新手法を提案している。さらに提案手法が二乗平均値やばらつき限界値を算出するのに加えプロファイルや周波数成分、ヒストグラムの解析が同時に可能であることを示している。提案手法は複数の信号間のスキュー測定にも応用できる。

第三章は「ジッタ測定回路」と題し、本研究の実証実験に向けた高速シリアルインターフェース用クロックジッタの新しい高精度オンチップ測定回路について提案している。本方式は第二章で述べた理論に基づき参照クロックを必要としない測定手法であり、小回路面積のためオンチップ試験回路として組み込みが容易で多様な周波数のクロック信号ジッタを測定できることを示している。さらに実験結果により提案回路が高速・高精度測定を実現でき、データ信号のタイミングジッタ測定にも拡張できることを述べている。

第四章は「ジッタ耐力試験技術」と題し、従来手法では長い測定時間を要したビット誤り率を求めるジッタ耐力試験を効率化する手法について提案している。これは従来長い試験時間を必要とする 10^{-10} 程度の低ビット誤り率にたいし、入力データ信号とクロック再生回路のクロック信号間のタイミング誤差解析に基づき受信器のジッタ耐力を高速に推定する方法であり、ビット誤り率の直接測定法に比べ約十分の一ないし百分の一の短時間で受信器のジッタ耐力の推定ができることを実験により示している。

第五章は「多値信号試験技術」と題し、毎秒 10 ギガビットを超える高速シリア

ルインターフェースで利用されつつある多値伝送方式の信号品質の、自動試験装置向け試験技術の効率化について提案している。多値電圧発生回路を用いた多値コンパレータを用いる方法であり、しきい値を被試験信号の期待値に応じて動的に変化させ二値の場合と同数のコンパレータで多値信号送信器の電圧マージン試験を実現している。

第六章は「パワー・インテグリティ制御技術」と題し、実応用環境における信号品質を正確に試験するために自動試験環境で実応用環境の電源変動を模擬する手法について述べている。実応用被試験デバイスの電源電流・電源電圧変動は実測あるいは予測可能であることを利用し、自動試験環境との差異を補正する制御電流源を組み込むことで実応用環境の電源電圧変動を制御する方式であり、任意波形の電源雑音を模擬できることを述べている。さらに実験回路により電源電圧変動を数ミリボルトの精度で制御できることを示している。

第七章は結論であり、本論文の成果をまとめ将来の試験技術への展開について述べている。

以上要するに、本論文は集積回路における高速信号伝送性能評価に重要な信号ジッタ測定法と電源品質制御法について基本理論にもとづく信号処理を利用することで従来よりも短時間かつ高精度に測定・制御できる手法を提案し実験的にその有効性を実証したもので、電子工学の発展に寄与する点が少なくない。よって本論文は博士（工学）の学位請求論文として合格と認められる。